

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :  
Takashige HIRATSUKA et al. :  
Serial No. NEW : **Attn: APPLICATION BRANCH**  
Filed March 26, 2004 : Attorney Docket No. 2004\_0471A  
TRACKING ERROR DETECTION :  
APPARATUS :

**CLAIM OF PRIORITY UNDER 35 USC 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

THE COMMISSIONER IS AUTHORIZED  
TO CHARGE ANY DEFICIENCY IN THE  
FEES FOR THIS PAPER TO DEPOSIT  
ACCOUNT NO. 23-0975

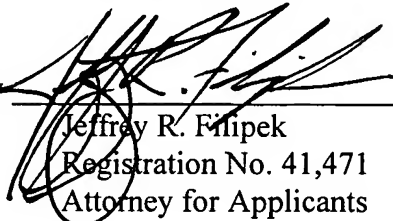
Sir:

Applicants in the above-entitled application hereby claim the date of priority under the International Convention of Japanese Patent Application No. 2003-086369, filed March 26, 2003, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Takashige HIRATSUKA et al.

By   
Jeffrey R. Filipek  
Registration No. 41,471  
Attorney for Applicants

JRF/fs  
Washington, D.C. 20006-1021  
Telephone (202) 721-8200  
Facsimile (202) 721-8250  
March 26, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   3 月 2 6 日  
Date of Application:

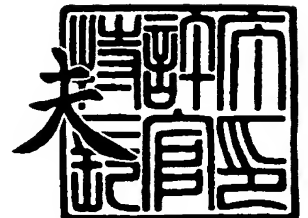
出 願 番 号            特 願 2 0 0 3 - 0 8 6 3 6 9  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 8 6 3 6 9 ]

出      願      人            松 下 電 器 産 業 株 式 会 社  
Applicant(s):

2 0 0 3 年   7 月 2 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 2038140169

【提出日】 平成15年 3月26日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 7/09

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
                                会社内

    【氏名】 平塚 隆繁

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式  
                                会社内

    【氏名】 荻田 吉博

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100081813

    【弁理士】

    【氏名又は名称】 早瀬 憲一

    【電話番号】 06(6395)3251

【手数料の表示】

    【予納台帳番号】 013527

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9600402

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 トラッキング誤差検出装置

【特許請求の範囲】

【請求項 1】 フォトディテクタから出力される各受光素子の受光量に応じて生成された 2 系列のデジタル信号に基づいて、当該デジタル信号と該デジタル信号のセンターレベルとが交わる点であるゼロクロス点を検出するゼロクロス検出回路と、

前記 2 系列のデジタル信号のゼロクロス点間の距離を用いて位相比較を行い、位相比較結果を出力する位相差検出回路と、

前記位相差検出回路から出力される信号に帯域制限を行ってトラッキング誤差信号を得るローパスフィルタとを備えるトラッキング誤差検出装置であって、

前記位相差検出回路は、前記 2 系列のデジタル信号のゼロクロス点間の距離を用いて検出した位相比較結果をサンプリングクロック 1 クロック分のパルスで出力する、

ことを特徴とするトラッキング誤差検出装置。

【請求項 2】 請求項 1 に記載のトラッキング誤差検出装置において、

前記位相差検出回路は、

前記 2 系列のデジタル信号のゼロクロス点間の距離を演算し、位相比較結果として順次出力する位相差演算部と、

前記 2 系列のデジタル信号がゼロクロスする位置でサンプリングクロック 1 クロック分のパルス信号をそれぞれ生成し、該生成した 2 系列のデジタル信号に対するパルス信号のうち、位相比較を行なうポイントにおいて後に現れるパルス信号を位相比較終了パルスとして出力するパルス生成部と、

前記パルス生成部が出力する位相比較終了パルスにより、前記位相差演算部から順次出力される位相比較結果をサンプリングクロック 1 クロック分のパルスで出力するデータ切替部とからなる、

ことを特徴とするトラッキング誤差検出装置。

【請求項 3】 フォトディテクタから出力される各受光素子の受光量に応じて生成された 2 系列のデジタル信号に基づいて、当該デジタル信号と該デジタル

信号のセンターレベルとが交わる点であるゼロクロス点を検出するゼロクロス検出回路と、

前記 2 系列のデジタル信号のゼロクロス点間の距離を用いて位相比較を行い、位相比較結果を出力する位相差検出回路と、

前記位相差検出回路から出力される信号に帯域制限を行ってトラッキング誤差信号を得るローパスフィルタとを備えるトラッキング誤差検出装置であって、

前記 2 系列のデジタル信号のサンプリングデータのパルス幅を検出するパルス幅検出回路をさらに備え、

前記位相差検出回路は、前記パルス幅検出回路により検出されるパルス幅が、所定の値以下である場合には、当該パルスでの位相比較を行なわない、

ことを特徴とするトラッキング誤差検出装置。

【請求項 4】 請求項 3 に記載のトラッキング誤差検出装置において、

前記位相差検出回路は、

前記 2 系列のデジタル信号のゼロクロス点間の距離を演算し、位相比較結果として順次出力する位相差演算部と、

前記 2 系列のデジタル信号がゼロクロスする位置でサンプリングクロック 1 クロック分のパルス信号をそれぞれ生成し、該生成した 2 系列のデジタル信号に対するパルス信号のうち、位相比較を行なうポイントにおいて後に現れるパルス信号を位相比較終了パルスとして出力するパルス生成部と、

前記パルス幅検出回路により検出されるパルス幅が所定の値以下である場合には、かかるパルスを無効パルスとして扱い、前記位相差演算部において、かかる無効パルスでの位相比較を行なわないようにする無効パルスキャンセル部と、

前記パルス生成部が出力する位相比較終了パルス毎に、前記位相差演算部から順次出力される位相比較結果を用いて出力データを更新し、次の位相比較終了パルスが来るまで該出力データの出力レベルを保持するデータ更新部とからなる、

ことを特徴とするトラッキング誤差検出装置。

【請求項 5】 請求項 3 に記載のトラッキング誤差検出装置において、

前記位相差検出回路は、

前記 2 系列のデジタル信号のゼロクロス点間の距離を演算し、位相比較結果と

して順次出力する位相差演算部と、

前記 2 系列のデジタル信号がゼロクロスする位置でサンプリングクロック 1 クロック分のパルス信号をそれぞれ生成し、該生成した 2 系列のデジタル信号に対するパルス信号のうち、位相比較を行なうポイントにおいて後に現れるパルス信号を位相比較終了パルスとして出力するパルス生成部と、

前記パルス幅検出回路により検出されるパルス幅が所定の値以下である場合には、かかるパルスを無効パルスとして扱い、前記位相差演算部において、かかる無効パルスでの位相比較を行なわないようにする無効パルスキャンセル部と、

前記パルス生成部が出力する位相比較終了パルス毎に、前記位相差演算部から順次出力される位相比較結果を用いて出力データを更新し、次の位相比較終了パルスが来るまで該出力データの出力レベルを保持するとともに、前記無効パルスキャンセル部から、前記位相差演算部において無効パルスをキャンセルする旨の信号を受けた場合には、該無効パルスのタイミングで、当該無効パルスの前或いは／及び後の前記位相差演算部における複数の位相差比較結果の平均値を用いて、前記出力データを更新するデータ更新部とからなる、

ことを特徴とするトラッキング誤差検出装置。

【請求項 6】 請求項 3 に記載のトラッキング誤差検出装置において、  
前記位相差検出回路は、

前記 2 系列のデジタル信号のゼロクロス点間の距離を演算し、位相比較結果として順次出力する位相差演算部と、

前記 2 系列のデジタル信号がゼロクロスする位置でサンプリングクロック 1 クロック分のパルス信号をそれぞれ生成し、該生成した 2 系列のデジタル信号に対するパルス信号のうち、位相比較を行なうポイントにおいて後に現れるパルス信号を位相比較終了パルスとして出力するパルス生成部と、

前記パルス幅検出回路により検出されるパルス幅が所定の値以下である場合には、かかるパルスを無効パルスとして扱い、前記位相差演算部において、かかる無効パルスでの位相比較を行なわないようにする無効パルスキャンセル部と、

前記パルス生成部が出力する位相比較終了パルスにより、前記位相差演算部から順次出力される位相差比較結果をサンプリングクロック 1 クロック分のパルス

で出力するとともに、前記無効パルスキャンセル部から、前記位相差演算部において無効パルスをキャンセルする旨の信号を受けた場合には、該無効パルスのタイミングで、一つ前の前記位相差演算部における位相差比較結果をサンプリングクロック 1 クロック分のパルスで出力するデータ切替部とからなる、

ことを特徴とするトラッキング誤差検出装置。

【請求項 7】 請求項 3 に記載のトラッキング誤差検出装置において、

前記位相差検出回路は、

前記 2 系列のデジタル信号のゼロクロス点間の距離を演算し、位相比較結果として順次出力する位相差演算部と、

前記 2 系列のデジタル信号がゼロクロスする位置でサンプリングクロック 1 クロック分のパルス信号をそれぞれ生成し、該生成した 2 系列のデジタル信号に対するパルス信号のうち、位相比較を行なうポイントにおいて後に現れるパルス信号を位相比較終了パルスとして出力するパルス生成部と、

前記パルス幅検出回路により検出されるパルス幅が所定の値以下である場合には、かかるパルスを無効パルスとして扱い、前記位相差演算部において、かかる無効パルスでの位相比較を行なわないようにする無効パルスキャンセル部と、

前記パルス生成部が出力する位相比較終了パルスにより、前記位相差演算部から順次出力される位相差比較結果をサンプリングクロック 1 クロック分のパルスで出力するとともに、前記無効パルスキャンセル部から、前記位相差演算部において無効パルスをキャンセルする旨の信号を受けた場合には、該無効パルスのタイミングで、当該無効パルスの前或いは／及び後の前記位相差演算部における複数の位相差比較結果の平均値をサンプリングクロック 1 クロック分のパルスで出力するデータ切替部とからなる、

ことを特徴とするトラッキング誤差検出装置。

【請求項 8】 請求項 4 ないし請求項 7 の何れかに記載のトラッキング誤差検出装置において、

前記無効パルスキャンセル部は、前記パルス幅検出回路により検出される、H 側或いは／及び L 側のパルス幅が所定の値以下である場合には、かかるパルスを無効パルスとして扱い、前記位相差演算部において、かかる無効パルスでの位相



比較を行なわないようにする、

ことを特徴とするトラッキング誤差検出装置。

【請求項 9】 請求項 3 ないし請求項 8 の何れかに記載のトラッキング誤差検出装置において、

前記 2 系列のデジタル信号のエンベ信号を検出して、該エンベ信号の値が所定の閾値以下の場合にのみ前記無効パルスキャンセル部を動作させる振幅検出回路をさらに備える、

ことを特徴とするトラッキング誤差検出装置。

【請求項 10】 フォトディテクタから出力される各受光素子の受光量に応じて生成された 2 系列のデジタル信号に基づいて、当該デジタル信号と該デジタル信号のセンターレベルとが交わる点であるゼロクロス点を検出するゼロクロス検出回路と、

前記 2 系列のデジタル信号のゼロクロス点間の距離を用いて位相比較を行い、位相比較結果を出力する位相差検出回路と、

前記位相差検出回路から出力される信号に帯域制限を行ってトラッキング誤差信号を得るローパスフィルタとを備えるトラッキング誤差検出装置であって、

前記 2 系列のデジタル信号の所定のカットオフ周波数以下の周波数を除去する H P F を備える、

ことを特徴とするトラッキング誤差検出装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、光記録媒体上に光を照射して得られる光スポットのトラッキング誤差を検出するトラッキング誤差検出装置に関する。

##### 【0002】

##### 【従来の技術】

C D (Compact Disc) や D V D (Digital Video Disc) に代表されるような凹凸のピットで情報が記録されている光ディスクからトラッキング制御信号を得る方式として、近年位相差法と呼ばれる手法が用いられている。

かかる位相差法の一例として、特許文献1に示すようなものがある。

#### 【0003】

以下に、かかる特許文献1で示される従来のトラッキング誤差検出装置について図13を用いて説明する。

図13は、従来のトラッキング誤差検出装置の構成を示すブロック図である。

図13に示すように、従来のトラッキング誤差検出装置は、光スポットの反射光を受光する受光素子を備え、各受光素子の受光量に応じた光電流を出力するフォトディテクタ101と、フォトディテクタ101の光電流出力を電圧信号に変換する第1から第4の電流電圧変換器102a～102dと、第1から第4の電流電圧変換器102a～102dで得られた電圧信号から光スポットのトラッキング誤差に応じて互いに位相が変化する2つの信号系列を生成する信号生成器、すなわち第1及び第2の加算器103a、103bと、2つの信号系列から第1及び第2のデジタル信号系列を得る第1及び第2のアナログーデジタル変換器（ADC）104a、104bと、第1及び第2のデジタル信号系列それぞれについて補間処理を施す第1及び第2の補間フィルタ105a、105bと、第1及び第2の補間フィルタ105a、105bによって補間された第1及び第2のデジタル信号系列のゼロクロス点をそれぞれ検出する第1及び第2のゼロクロス点検出回路106a、106bと、第1のデジタル信号系列のゼロクロス点と第2のデジタル信号系列のゼロクロス点との位相差を検出する位相差検出回路107と、位相差検出回路107から出力される位相比較信号に帯域制限を行ってトラッキング誤差信号を得るローパスフィルタ（LPF）108とを備える。なお、ここでは、フォトディテクタ101が有する受光素子として田の字型に4分割された受光素子101a、101b、101c、101dを備えるものとする。また、ゼロクロス点とは、入力されたデジタル信号と、当該デジタル信号の平均値等から算出されるデジタル信号のセンターレベルとが交わる点をいうものとする。

#### 【0004】

次に、かかる従来のトラッキング誤差検出装置の動作について説明する。

先ず、フォトディテクタ101において、光記録媒体（図示せず）のトラック

上に光を照射して得られる光スポットの反射光を受信して、受光量に応じた光電流が出力される。

#### 【0005】

フォトディテクタ101の出力である光電流は、第1から第4の電流電圧変換回路102a、102b、102c、102dにより、各受光素子毎に電圧信号に変換され、第1の加算器103aにより第1及び第3の電流電圧回路102a、102cの出力が、第2の加算器103bにより第2及び第4の電流電圧回路102b、102dの出力がそれぞれ加算される。

#### 【0006】

そして、第1及び第2の加算器103a、103bから出力される信号は、第1及び第2のADC104a、104bによって各信号系列の離散化（サンプリング）が行なわれ、第1及び第2のデジタル信号系列に変換される。

#### 【0007】

その後、第1及び第2のADC104a、104bから出力されるデジタル信号は、補間フィルタ105a、105bに入力され、デジタル信号のサンプリングデータのための補間データが求められた後、ゼロクロス点検出回路106a、106bにより、補間された2つのデータ系列の立ち上がり、あるいは立ち下がりにおけるゼロクロス点が検出される。なお、補間の方法としては、例えば、ナイキスト補間といった方法があり、また、2つのデータ系列の立ち上がり、あるいは立ち下がりにおけるゼロクロス点の検出方法としては、例えば、補間されたデータ系列における符号の変化点（+→-、あるいは-→+）を求める方法がある。

#### 【0008】

位相差検出回路107では、ゼロクロス点検出回路106a、106bから出力されるゼロクロス点の情報を用いて、第1及び第2の信号系列の波形におけるゼロクロス点間の距離が求められ、かかるゼロクロス点間の距離に基づいて位相比較信号が検出され、最終的にLPF108により帯域制限が行われてトラッキングサーボ制御に必要な帯域のトラッキング誤差信号が生成される。

#### 【0009】

次に、前記従来の位相差検出回路 107 の構成、及び動作について図 14、図 15 を用いてさらに詳しく説明する。

図 14 は、従来の位相差検出回路 107 の構成を示すブロック図である。

図 14 において、位相差検出回路 107 は、位相差演算部 201 と、データ更新部 203 とからなる。

#### 【0010】

位相差演算部 201 は、ゼロクロス点検出回路 106 a、106 b において検出されたゼロクロス情報を元に 2 系列のデジタル信号のゼロクロス点間の距離を演算し、位相比較結果としてデータ更新部 203 に順次出力する。

#### 【0011】

パルス生成部 202 は、位相比較に用いる各データ系列において、ゼロクロスする位置で、サンプリングクロック 1 クロック分のパルス信号をそれぞれ生成し、該生成した各データ系列に対するパルス信号のうち、位相比較を行なうポイントにおいて後に現れるパルス信号を位相比較終了パルスとして出力する。

#### 【0012】

データ更新部 203 は、パルス生成部 202 が出力する位相比較終了パルス毎に、位相差演算部 201 から順次出力される位相比較結果を用いて出力データを更新し、次の位相比較終了パルスが来るまで該出力データの出力レベルを保持する。

#### 【0013】

図 15 は、位相差検出回路 107 の動作を説明するための説明図であり、図 15 (a) は第 1 のゼロクロス点検出回路 106 a から出力される第 1 の信号系列（位相比較入力 A）と第 2 のゼロクロス点検出回路 106 b から出力される第 2 の信号系列（位相比較入力 B）の一例を、図 15 (b) はパルス生成部 2 から出力される位相比較終了パルスを、図 15 (c) は位相差検出回路 107 の出力を示すものである。

#### 【0014】

なお、図 15 中のデータ系列 (a) 及び (b) に用いられている、○印は第 1 あるいは第 2 の ADC 104 a、104 b により求めたサンプリングデータを

、△印は第1あるいは第2の補間フィルタ105a、105bにより求めた補間データ系列を、●印及び▲印は、サンプリングデータ系列及び補間データ系列から求めたゼロクロス点を示す。また、図15で説明する位相比較信号は、特定のトラック1本の近傍に注目したもので、位相差を求める2つのデータ系列の立ち下がりにおいて求めたものである。また、補間データの数は $n=3$ としている。

#### 【0015】

ゼロクロス点検出回路106a、106bからの出力が位相差検出回路107に入力されると、位相差検出回路107では、位相差演算部201により、ゼロクロス点検出回路106a、106bにおいて検出されたゼロクロス点間の距離を求める演算が行なわれるとともに、パルス生成部202により、位相比較に用いる各データ系列（図15（a））がゼロクロスする位置で、サンプリングクロック1クロック分のパルス信号がそれぞれ生成され、該生成した各データ系列に対するパルス信号のうち、後に現れるパルス信号が位相比較終了パルス（図15（b））として出力される。

#### 【0016】

そして、位相差検出回路107のデータ更新部203により、パルス生成部202から出力される位相比較終了パルス毎に、位相差演算部201から出力される位相比較結果を用いた出力データの更新がされるとともに、次の位相比較終了パルスが来るまで出力データの出力レベルが保持される。

#### 【0017】

これにより、位相差検出回路107によって図15（c）に示すような位相比較信号が検出され、かかる位相比較信号に帯域制限を行って得られたトラッキング誤差信号は、特定のトラック1本の近傍に注目した場合にほぼ直線状の信号となる。そして、かかるトラッキング誤差信号を複数のトラックにわたって観測することにより、全体的には図16で示すようなトラック毎に繰り返されるほぼ鋸歯状の波形を得ることができる。

#### 【0018】

以上のように、従来のトラッキング誤差検出装置では、デジタル信号処理によ

りトラッキング誤差を検出できるので、アナログ信号処理によるトラッキング誤差検出では対応できなかった光記録再生装置の倍速化及び記録媒体の高密度化に対応することができるとともに、アナログ信号処理に関わる構成を大幅に削減することができ、光記録再生装置の小型化及び低コスト化が実現できる。

#### 【0019】

##### 【特許文献1】

特開平2001-67690

#### 【0020】

##### 【発明が解決しようとする課題】

しかしながら、前述した従来のトラッキング誤差検出装置では、第1及び第2のADC104a、104bによるAD変換をサンプリングレートを固定して行っていたため、CAV再生時には、ディスクの内側と外側で得られるトラッキング誤差信号の振幅が変動するという問題点を有していた。

#### 【0021】

即ち、CAV再生時にはディスクの内周側ではチャネルレートが遅く、ディスクの外周側ではチャネルレートが早くなるため、第1及び第2のADC104a、104bのサンプリングレートが固定された状態でAD変換を行なったのでは、同じ位相間隔内でサンプリングされるサンプリングデータの数でディスクの外周側に比べディスクの内周側の方が多くなってしまい、ディスクの内側と外側とで得られるトラッキング誤差信号の振幅に変動が生じることとなる。

#### 【0022】

図17は、CAV再生時に従来のトラッキング誤差検出装置により検出されるトラッキング誤差信号を示したものであり、図17(a)はディスクの内周側におけるトラッキング誤差信号を、図17(b)はディスクの外周側におけるトラッキング誤差信号を示す図である。

#### 【0023】

図17(a)に示すように、ディスクの内周側では、同じ位相間隔内でサンプリングされるサンプリングデータ数が多くなるため位相差検出回路107によりゼロクロス点間の距離で検出される位相差が大きくなり、トラッキング誤差信号

の出力振幅が大きなものとなる。一方で、ディスクの外周側では、図 17 (b) に示すように、同じ位相間隔内でサンプリングされるサンプリングデータの数が少ないため位相差検出回路 107 によりゼロクロス点間の距離で検出される位相差が小さくなり、トラッキング誤差信号の出力振幅が小さくなってしまう。

#### 【0024】

また、前述した従来のトラッキング誤差検出装置においては、光記録再生装置の小型化及び低コスト化を実現するため、従来のトラッキング誤差検出装置が備える第 1 及び第 2 の ADC 104 a、104 b のビット分解能を、位相比較に必要な最小限度のビット分解能としていた。そのため、第 1 及び第 2 の ADC 104 a、104 b に入力されるアナログ信号の振幅が、ディフェクト等により十分に得られない場合には、第 1 及び第 2 の ADC 104 a、104 b によるサンプリングが正しく行われないうこととなり、位相差検出回路 107 が誤検出をする要因となっていた。

#### 【0025】

また、前述した従来のトラッキング誤差検出装置においては、第 1 及び第 2 の ADC 104 a、104 b に入力されるアナログ信号の電圧レベルが、ディフェクト等により変動した場合には、ゼロクロス点検出回路 106 a、106 b においてゼロクロス点が正しく検出されず、位相差検出回路 107 において位相差を検出することができないといった問題点も有していた。

#### 【0026】

本発明は、前記の課題を解決するためになされたものであり、ディスクを CAV で再生する場合や、再生するディスクに傷等が存在する場合であっても、正確なトラッキング誤差信号の検出を行うことができるトラッキング誤差検出装置を提供することを目的とするものである。

#### 【0027】

##### 【課題を解決するための手段】

上記目的を達成するために、本発明にかかるトラッキング誤差検出装置は、フォトディテクタから出力される各受光素子の受光量に応じて生成された 2 系列のデジタル信号に基づいて、当該デジタル信号と該デジタル信号のセンターレベル

とが交わる点であるゼロクロス点を検出するゼロクロス検出回路と、前記2系列のデジタル信号のゼロクロス点間の距離を用いて位相比較を行い、位相比較結果を出力する位相差検出回路と、前記位相差検出回路から出力される信号に帯域制限を行ってトラッキング誤差信号を得るローパスフィルタとを備えるトラッキング誤差検出装置であって、前記位相差検出回路が、前記2系列のデジタル信号のゼロクロス点間の距離を用いて検出した位相比較結果をサンプリングクロック1クロック分のパルスで出力することを特徴とするものである。

#### 【0028】

また、本発明にかかるトラッキング誤差検出装置は、前記位相差検出回路が、前記2系列のデジタル信号のゼロクロス点間の距離を演算し、位相比較結果として順次出力する位相差演算部と、前記2系列のデジタル信号がゼロクロスする位置でサンプリングクロック1クロック分のパルス信号をそれぞれ生成し、該生成した2系列のデジタル信号に対するパルス信号のうち、位相比較を行なうポイントにおいて後に現れるパルス信号を位相比較終了パルスとして出力するパルス生成部と、前記パルス生成部が出力する位相比較終了パルスにより、前記位相差演算部から順次出力される位相比較結果をサンプリングクロック1クロック分のパルスで出力するデータ切替部とからなることを特徴とするものである。

#### 【0029】

また、本発明にかかるトラッキング誤差検出装置は、フォトディテクタから出力される各受光素子の受光量に応じて生成された2系列のデジタル信号に基づいて、当該デジタル信号と該デジタル信号のセンターレベルとが交わる点であるゼロクロス点を検出するゼロクロス検出回路と、前記2系列のデジタル信号のゼロクロス点間の距離を用いて位相比較を行い、位相比較結果を出力する位相差検出回路と、前記位相差検出回路から出力される信号に帯域制限を行ってトラッキング誤差信号を得るローパスフィルタとを備えるトラッキング誤差検出装置であって、前記2系列のデジタル信号のサンプリングデータのパルス幅を検出するパルス幅検出回路をさらに備え、前記位相差検出回路が、前記パルス幅検出回路により検出されるパルス幅が、所定の値以下である場合には、当該パルスでの位相比較を行わないことを特徴とするものである。



## 【0030】

また、本発明にかかるトラッキング誤差検出装置は、前記位相差検出回路が、前記2系列のデジタル信号のゼロクロス点間の距離を演算し、位相比較結果として順次出力する位相差演算部と、前記2系列のデジタル信号がゼロクロスする位置でサンプリングクロック1クロック分のパルス信号をそれぞれ生成し、該生成した2系列のデジタル信号に対するパルス信号のうち、位相比較を行なうポイントにおいて後に現れるパルス信号を位相比較終了パルスとして出力するパルス生成部と、前記パルス幅検出回路により検出されるパルス幅が所定の値以下である場合には、かかるパルスを無効パルスとして扱い、前記位相差演算部において、かかる無効パルスでの位相比較を行なわないようにする無効パルスキャンセル部と、前記パルス生成部が出力する位相比較終了パルス毎に、前記位相差演算部から順次出力される位相比較結果を用いて出力データを更新し、次の位相比較終了パルスが来るまで該出力データの出力レベルを保持するデータ更新部とからなることを特徴とするものである。

## 【0031】

また、本発明にかかるトラッキング誤差検出装置は、前記位相差検出回路が、前記2系列のデジタル信号のゼロクロス点間の距離を演算し、位相比較結果として順次出力する位相差演算部と、前記2系列のデジタル信号がゼロクロスする位置でサンプリングクロック1クロック分のパルス信号をそれぞれ生成し、該生成した2系列のデジタル信号に対するパルス信号のうち、位相比較を行なうポイントにおいて後に現れるパルス信号を位相比較終了パルスとして出力するパルス生成部と、前記パルス幅検出回路により検出されるパルス幅が所定の値以下である場合には、かかるパルスを無効パルスとして扱い、前記位相差演算部において、かかる無効パルスでの位相比較を行なわないようにする無効パルスキャンセル部と、前記パルス生成部が出力する位相比較終了パルス毎に、前記位相差演算部から順次出力される位相比較結果を用いて出力データを更新し、次の位相比較終了パルスが来るまで該出力データの出力レベルを保持するとともに、前記無効パルスキャンセル部から、前記位相差演算部において無効パルスをキャンセルする旨の信号を受けた場合には、該無効パルスのタイミングで、当該無効パルスの前或

いは、及び後の前記位相差演算部における複数の位相差比較結果の平均値を用いて、前記出力データを更新するデータ更新部とからなることを特徴とするものである。

### 【0032】

また、本発明にかかるトラッキング誤差検出装置は、前記位相差検出回路が、前記2系列のデジタル信号のゼロクロス点間の距離を演算し、位相比較結果として順次出力する位相差演算部と、前記2系列のデジタル信号がゼロクロスする位置でサンプリングクロック1クロック分のパルス信号をそれぞれ生成し、該生成した2系列のデジタル信号に対するパルス信号のうち、位相比較を行なうポイントにおいて後に現れるパルス信号を位相比較終了パルスとして出力するパルス生成部と、前記パルス幅検出回路により検出されるパルス幅が所定の値以下である場合には、かかるパルスを無効パルスとして扱い、前記位相差演算部において、かかる無効パルスでの位相比較を行なわないようにする無効パルスキャンセル部と、前記パルス生成部が出力する位相比較終了パルスにより、前記位相差演算部から順次出力される位相差比較結果をサンプリングクロック1クロック分のパルスで出力するとともに、前記無効パルスキャンセル部から、前記位相差演算部において無効パルスをキャンセルする旨の信号を受けた場合には、該無効パルスのタイミングで、一つ前の前記位相差演算部における位相差比較結果をサンプリングクロック1クロック分のパルスで出力するデータ切替部とからなることを特徴とするものである。

### 【0033】

また、本発明にかかるトラッキング誤差検出装置は、前記位相差検出回路が、前記2系列のデジタル信号のゼロクロス点間の距離を演算し、位相比較結果として順次出力する位相差演算部と、前記2系列のデジタル信号がゼロクロスする位置でサンプリングクロック1クロック分のパルス信号をそれぞれ生成し、該生成した2系列のデジタル信号に対するパルス信号のうち、位相比較を行なうポイントにおいて後に現れるパルス信号を位相比較終了パルスとして出力するパルス生成部と、前記パルス幅検出回路により検出されるパルス幅が所定の値以下である場合には、かかるパルスを無効パルスとして扱い、前記位相差演算部において、

かかる無効パルスでの位相比較を行なわないようにする無効パルスキャンセル部と、前記パルス生成部が出力する位相比較終了パルスにより、前記位相差演算部から順次出力される位相差比較結果をサンプリングクロック 1 クロック分のパルスで出力するとともに、前記無効パルスキャンセル部から、前記位相差演算部において無効パルスをキャンセルする旨の信号を受けた場合には、該無効パルスのタイミングで、当該無効パルスの前或いは／及び後の前記位相差演算部における複数の位相差比較結果の平均値をサンプリングクロック 1 クロック分のパルスで出力するデータ切替部とからなることを特徴とするものである。

#### 【0034】

また、本発明にかかるトラッキング誤差検出装置は、前記無効パルスキャンセル部が、前記パルス幅検出回路により検出される、H側或いは／及びL側のパルス幅が所定の値以下である場合には、かかるパルスを無効パルスとして扱い、前記位相差演算部において、かかる無効パルスでの位相比較を行なわないようにすることを特徴とするものである。

#### 【0035】

また、本発明にかかるトラッキング誤差検出装置は、前記 2 系列のデジタル信号のエンベ信号を検出して、該エンベ信号の値が所定の閾値以下の場合にのみ前記無効パルスキャンセル部を動作させる振幅検出回路をさらに備えることを特徴とするものである。

#### 【0036】

また、本発明にかかるトラッキング誤差検出装置は、フォトディテクタから出力される各受光素子の受光量に応じて生成された 2 系列のデジタル信号に基づいて、当該デジタル信号と該デジタル信号のセンターレベルとが交わる点であるゼロクロス点を検出するゼロクロス検出回路と、前記 2 系列のデジタル信号のゼロクロス点間の距離を用いて位相比較を行い、位相比較結果を出力する位相差検出回路と、前記位相差検出回路から出力される信号に帯域制限を行ってトラッキング誤差信号を得るローパスフィルタとを備えるトラッキング誤差検出装置であって、前記 2 系列のデジタル信号の所定のカットオフ周波数以下の周波数を除去する H P F を備えることを特徴とするものである。

**【0037】****【発明の実施の形態】****(実施の形態1)**

以下、本発明の実施の形態1によるトラッキング誤差検出装置について説明する。

図1は、本発明の実施の形態1によるトラッキング誤差検出装置の構成の一例を示すブロック図である。

**【0038】**

図1において、本発明にかかるトラッキング誤差検出装置は、フォトディテクタ101と、電流電圧変換器102a～102dと、2つの信号系列を生成する信号生成器である第1及び第2の加算器103a、103bと、第1及び第2のアナログーデジタル変換器(ADC)104a、104bと、第1及び第2の補間フィルタ105a、105bと、第1及び第2のゼロクロス点検出回路106a、106bと、位相差検出回路11と、ローパスフィルタ(LPF)108とからなる。なお、本発明の実施の形態1によるトラッキング誤差検出装置の位相差検出回路11以外の各構成要素は、図13を用いて前述した従来のトラッキング誤差検出装置と同じであるため、ここでは、同一の符号を付してその説明を省略する。

**【0039】**

位相差検出回路11は、位相差演算部1と、パルス生成部2と、データ切替部3とからなる。

位相差演算部1は、ゼロクロス点検出回路106a、106bにおいて検出されたゼロクロス情報を元に2系列のデジタル信号のゼロクロス点間の距離を演算し、位相比較結果としてデータ切替部3に順次出力する。

**【0040】**

パルス生成部2は、位相比較に用いる各データ系列において、ゼロクロスする位置で、サンプリングクロック1クロック分のパルス信号をそれぞれ生成し、該生成した各データ系列に対するパルス信号のうち、位相比較を行なうポイントにおいて後に現れるパルス信号を位相比較終了パルスとして出力する。

データ切替部 3 は、パルス生成部 2 が出力する位相比較終了パルスにより、位相差演算部 1 から出力される位相比較結果をサンプリングクロック 1 クロック分のパルスで出力する。

#### 【0041】

次に、本発明による位相差検出回路 11 の動作について説明する。

図 2 は、本発明の実施の形態 1 による位相差検出回路 11 の動作を説明するための説明図であり、図 2 (a) は第 1 のゼロクロス点検出回路 106 a から出力される第 1 の信号系列 (位相比較入力 A) と第 2 のゼロクロス点検出回路 106 b から出力される第 2 の信号系列 (位相比較入力 B) の一例を、図 2 (b) はパルス生成部 2 から出力される位相比較終了パルスを、図 2 (c) は位相差検出回路 11 の出力を示すものである。

#### 【0042】

図 2 (a) に示す第 1、及び第 2 のゼロクロス点検出回路 106 a、106 b から出力される 2 系列の信号は、位相差検出回路 11 の位相差演算部 1、及びパルス生成部 2 に入力され、位相差演算部 1 では、ゼロクロス点検出回路 106 a、106 b において検出されたゼロクロス情報を元に図 2 (a) に示す位相差  $\Delta 1$ 、 $\Delta 2$ 、 $\Delta 3$  が順次算出される。一方で、パルス生成部 2 では、位相比較に用いる各データ系列において、ゼロクロスする位置で、サンプリングクロック 1 クロック分のパルス信号がそれぞれ生成され、該生成した各データ系列に対するパルス信号のうち、位相比較を行なうポイントにおいて後に現れるパルス信号が位相比較終了パルスとして出力される (図 2 (b) 参照)。

#### 【0043】

その後、データ切替部 3 では、パルス生成部 2 が出力する位相比較終了パルスにより、位相差演算部 1 から出力される位相比較結果がサンプリングクロック 1 クロック分のパルスで出力される (図 2 (c) 参照)。

#### 【0044】

そして、このように生成された位相比較出力は、最終的に LPF 108 により帯域制限が行われてトラッキングサーボ制御に必要な帯域のトラッキング誤差信号が生成される。

## 【0045】

図3は、CAV再生時に本願発明の実施の形態1によるトラッキング誤差検出装置により検出されるトラッキング誤差信号を示したものであり、図3(a)はディスクの内周側におけるトラッキング誤差信号を、図3(b)はディスクの外周側におけるトラッキング誤差信号を示すものである。

## 【0046】

図3に示すように、本発明による位相差検出回路11の各パルス毎の出力振幅は、同じ位相間隔内のサンプリング数が多いディスクの内周側の方が、同じ位相間隔内のサンプリング数が少ないディスクの外周側に比べ大きくなるが、位相比較結果を1クロックのみで出力しているため、位相比較結果を出力する時間は、同じ位相間隔内のサンプリング数が多いディスクの内周側の方が、同じ位相間隔内のサンプリング数が少ないディスクの外周側に比べ短くなっている。

## 【0047】

そのため、かかる位相差検出回路11からの位相比較結果をLPF108により帯域制限を行ってトラッキング誤差信号を生成した場合には、ディスクの内側と外側とで、等しい振幅を有するトラッキング誤差信号を得ることができ(図3中の振幅A、振幅B)、CAV再生時におけるトラッキング誤差信号の線速依存を解消することができる。

## 【0048】

このように、本発明の実施の形態1によるトラッキング誤差検出装置によれば、ディスクの外周側と内周側とでチャンネルレートが異なるCAV再生を行なった場合であっても、ディスクの内側と外側で得られるトラッキング誤差信号の振幅が変動することなく、CAV再生時におけるトラッキング誤差信号の線速依存を解消することが可能となる。

## 【0049】

(実施の形態2)

以下に、本発明の実施の形態2によるトラッキング誤差検出装置について説明する。

図4は本発明の実施の形態2によるトラッキング誤差検出装置の構成の一例を

示すブロック図である。

#### 【0050】

図4において、本発明にかかるトラッキング誤差検出装置は、フォトディテクタ101と、電流電圧変換器102a～102dと、第1及び第2の加算器103a、103bと、第1及び第2のアナログーデジタル変換器(ADC)104a、104bと、第1及び第2の補間フィルタ105a、105bと、第1及び第2のゼロクロス点検出回路106a、106bと、パルス幅検出回路21と、位相差検出回路22と、ローパスフィルタ(LPF)108とからなる。なお、本発明の実施の形態2によるトラッキング誤差検出装置のパルス幅検出回路21、及び位相差検出回路22以外の各構成要素は、図13を用いて前述した従来のトラッキング誤差検出装置と同じであるため、ここでは、同一の符号を付してその説明を省略する。

#### 【0051】

パルス幅検出回路21は、サンプリングデータのパルス幅を検出するものであり、第1及び第2のADC104a、104bから出力される各デジタル信号の“0”または“1”の連続する回数を検出するものである。

#### 【0052】

位相差検出回路22は、無効パルスキャンセル部4と、位相差演算部201と、パルス生成部202と、データ更新部203とからなる。なお、位相差検出回路22を構成する、位相差演算部201、パルス生成部202、及びデータ更新部203は、図14を用いて説明した前記従来の位相差検出回路107の位相差演算部201、パルス生成部202、及びデータ更新部203に相当するものであるため、同一符号を付し、ここでは説明を省略する。

#### 【0053】

無効パルスキャンセル部4は、パルス幅検出回路21により検出されるH側のパルス幅が、所定の値以下である場合に、かかるパルスが無効パルスとして扱い、位相差演算部201において、かかるパルスでの位相比較を行なわないようにするものである。なお、無効パルスか否かの判断に用いる前記所定の値は、任意に設定できるものであり、所定の値を予め設定しておく他、第1及び第2のAD

C104a、104bのサンプリングレートの変化に合わせて切替るようにしてもよい。

#### 【0054】

次に、本発明によるパルス幅検出回路21、及び位相差検出回路22の動作について説明する。

図5は、本発明の実施の形態2によるトラッキング誤差検出装置の無効パルスキャンセル部4の動作を説明するための説明図であり、図5(a)は無効パルスが発生する場合を、図5(b)は無効パルスが発生しない場合を示す図である。

#### 【0055】

第1及び第2のADC104a、104bに入力されるアナログ信号の振幅が、ディフェクト等により十分に得られない場合には、図5のサンプリングデータの2値化信号A、Bに示すように、当該アナログ信号の振幅が十分得られていない箇所において、パルスが発生したり、しなかったりすることがある。そして、このようなサンプリングデータの2値化信号A、Bを用いて位相差検出回路22により位相比較信号を検出した場合には、アナログ信号の振幅が十分得られていない箇所におけるパルスが正しくサンプリングされず、誤った位相比較信号が生成されることとなる。

#### 【0056】

そこで、本願発明の実施の形態2によるトラッキング誤差検出装置では、ディフェクト等により、第1及び第2のADC104a、104bに入力されるアナログ信号の振幅が十分に得られないパルスをキャンセルすべく、パルス幅検出回路21でサンプリングデータのパルス幅を検出し、位相差検出回路22の無効パルスキャンセル部4によって、該パルス幅検出回路21で検出されたH側のパルス幅が、所定の値以下のパルスである場合には、かかるパルスを無効パルスとして扱い、位相差演算部201において、かかるパルスでの位相比較を行なわないようにする。

#### 【0057】

即ち、位相差検出回路22では、ゼロクロス点検出回路106a、106bからの入力を受け、位相差演算部201が、ゼロクロス点検出回路106a、10



6bにおいて検出されたゼロクロス点間の距離を演算し、位相比較結果として順次出力するとともに、パルス生成部202が図15(b)に示すような位相比較終了パルスを生成する。なお、この時、無効パルスキャンセル部4は、パルス幅検出回路21により検出されるH側のパルス幅が所定の値以下である場合には、かかるパルスを無効パルスとして扱い、前記位相差演算部において、かかる無効パルスでの位相比較を行なわないようにする。

#### 【0058】

そして、位相差検出回路107のデータ更新部203では、パルス生成部202から出力される位相比較終了パルス毎に、位相差演算部201から出力される位相比較結果を用いた出力データの更新がなされるとともに、次の位相比較終了パルスが来るまで出力データの出力レベルが保持される。

#### 【0059】

図6は、本発明の実施の形態2によるトラッキング誤差検出装置により検出されるトラッキング誤差信号を説明するための説明図であり、図6(a)は無効パルスをキャンセルしなかった場合のトラッキング誤差信号を、図6(b)は無効パルスをキャンセルした場合のトラッキング誤差信号を示す図である。

#### 【0060】

図6(a)に示すように、無効パルスキャンセル部4によって無効パルスをキャンセルしない場合には、アナログ信号の振幅が十分得られていない箇所において誤った位相比較が行なわれ、当該箇所における位相差が誤検出されることとなる。そのため、最終的にLPF108による帯域制限をすることにより生成されるトラッキング誤差信号は、位相差検出回路22における誤検出の影響を受け、正確な信号を得ることができない。

#### 【0061】

一方で、図6(b)に示すように、無効パルスキャンセル部4によって無効パルスのキャンセルを行なった場合には、アナログ信号の振幅が十分得られなかった箇所における位相比較が行なわれることなく、直前の位相比較結果の値がデータ更新部203により保持されることとなり、位相差が誤検出されることによる影響を回避することができる。

**【0062】**

次に、具体例について説明する。

例えば、DVDの記録符号として用いられている8-16変調符号の場合にチャンネルレートを1Tとすると、第1及び第2のADC104a、104bから出力されるデジタル信号は3T～14Tの記録パターンから構成されることとなる。かかるDVDでは記録密度を向上させるためにCDに比べて線記録密度を上げているため、記録符号における3T及び4Tのパターンにおける再生波形の振幅は符号間干渉により記録波長の長いパターンと比べて小さくなっており、ディフェクト等による振幅変動により影響を受けやすい。そのため、パルス幅検出回路21でサンプリングデータのパルス幅を検出し、位相差検出回路22の無効パルスキャンセル部4によって、該パルス幅検出回路21で検出されたパルス幅が、4T以下のパルス（3T及び4Tのパターン）をキャンセルし、位相差演算部201において、かかるパルスでの位相比較を行なわないようにする。なお、ここで、nT（nは1以上の整数）とは記録するデータの“0”または“1”の連続する回数がn回である事を意味する。

**【0063】**

このように、本発明の実施の形態2によるトラッキング誤差検出装置によれば、パルス幅検出回路21でサンプリングデータのパルス幅を検出し、位相差検出回路22の無効パルスキャンセル部4によって、該パルス幅検出回路21で検出されたパルス幅が、所定の値以下のパルスである場合には、かかるパルスを無効パルスとして扱い、位相差演算部201において、かかるパルスでの位相比較を行なわないようにすることにより、第1及び第2のADC104a、104bに入力されるアナログ信号の振幅が、ディフェクト等により十分に得られなかった場合であっても、正確なトラッキング誤差信号を得ることが可能となる。

**【0064】**

なお、本発明の実施の形態2によるトラッキング誤差検出装置では、無効パルスキャンセル部4により無効パルスがキャンセルされた場合には、データ更新部203が次の位相比較終了パルスが来るまで出力データの出力レベルを保持するものについて説明したが、無効パルスキャンセル部4によりキャンセルされた無

効パルスのタイミングで、当該無効パルスの前或いは／及び後の位相差演算部 201 における複数の位相差比較結果の平均値を用いて、データ更新部 203 からの出力データを更新するようにしてもよい。

#### 【0065】

(実施の形態 3)

以下に、本発明の実施の形態 3 によるトラッキング誤差検出装置について説明する。

図 7 は本発明の実施の形態 3 によるトラッキング誤差検出装置の構成の一例を示すブロック図である。

#### 【0066】

図 7 において、本発明にかかるトラッキング誤差検出装置は、フォトディテクタ 101 と、電流電圧変換器 102a～102d と、第 1 及び第 2 の加算器 103a、103b と、第 1 及び第 2 のアナログーデジタル変換器 (ADC) 104a、104b と、第 1 及び第 2 の補間フィルタ 105a、105b と、第 1 及び第 2 のゼロクロス点検出回路 106a、106b と、パルス幅検出回路 21 と、位相差検出回路 31 と、ローパスフィルタ (LPF) 108 とからなる。なお、本発明の実施の形態 3 によるトラッキング誤差検出装置のパルス幅検出回路 21、及び位相差検出回路 31 以外の構成要素は、図 13 を用いて前述した従来のトラッキング誤差検出装置と同じであるため、ここでは、同一の符号を付してその説明を省略する。

#### 【0067】

パルス幅検出回路 21 は、サンプリングデータのパルス幅を検出するものであり、前記実施の形態 2 で説明したパルス幅検出回路 21 と同様である。

位相差検出回路 31 は、位相差演算部 1 と、パルス生成部 2 と、無効パルスキャンセル部 4 と、データ切替部 5 とからなる。なお、位相差検出回路 31 を構成する、位相差演算部 1、パルス生成部 2、及び無効パルスキャンセル部 4 は、前記図 1 及び図 4 を用いて説明した前記実施の形態 1 及び 2 による位相差演算部 1、パルス生成部 2、及び無効パルスキャンセル部 4 と同様であるため、ここでは、同一の符号を付してその説明を省略する。

**【0068】**

データ切替部 5 は、パルス生成部 2 が出力する位相比較終了パルスにより、位相差演算部 1 で生成した位相差比較結果をサンプリングクロック 1 クロック分のパルスで出力するとともに、無効パルスキャンセル部 4 から位相差演算部 1 において無効パルスをキャンセルする旨の信号を受けた場合には、キャンセルされたパルスのタイミングで、一つ前の位相差演算部 1 における位相差比較結果をサンプリングクロック 1 クロック分のパルスで出力する。

**【0069】**

次に、本発明によるパルス幅検出回路 2 1、及び位相差検出回路 3 1 の動作について説明する。

図 8 は、本発明の実施の形態 3 によるトラッキング誤差検出装置により検出されるトラッキング誤差信号を説明するための説明図であり、図 8 (a) は無効パルスをキャンセルしなかった場合のトラッキング誤差信号を、図 8 (b) は無効パルスをキャンセルするとともに、キャンセルしたパルスのタイミングでの位相比較を行なわなかった場合のトラッキング誤差信号を、図 8 (c) は無効パルスをキャンセルするとともに、キャンセルしたパルスのタイミングで、一つ前の位相差演算部 1 における位相差比較結果をサンプリングクロック 1 クロック分のパルスで出力した場合のトラッキング誤差信号を示す図である。

**【0070】**

図 8 (a) に示すように、無効パルスキャンセル部 4 によって無効パルスをキャンセルしない場合には、アナログ信号の振幅が十分得られていない箇所において誤った位相比較が行なわれ、当該箇所における位相差が誤検出されることとなる。そのため、LPF 108 による帯域制限をすることにより最終的に生成されるトラッキング誤差信号は、位相差検出回路 2 2 における誤検出の影響を受け、正確な信号を得ることができない。

**【0071】**

また、図 8 (b) に示すように、無効パルスを無効パルスキャンセル部 4 によってキャンセルするとともに、キャンセルしたパルスのタイミングでの位相比較を行なわなかった場合には、位相差検出回路 3 1 から出力される位相比較出力の

情報が少なくなるため、LPF108による帯域制限をすることにより最終的に生成されるトラッキング誤差信号の振幅が、アナログ信号の振幅が十分得られていない箇所において小さくなってしまう。

#### 【0072】

一方で、図8(c)に示すように、データ切替部5により、無効パルスをキャンセルするとともに、キャンセルしたパルスのタイミングで、一つ前の位相差演算部1における位相差比較結果をサンプリングクロック1クロック分のパルスで出力した場合には、位相差が誤検出されることによる影響を回避することができる。とともに、アナログ信号の振幅が十分得られていない箇所におけるトラッキング誤差信号の振幅の劣化も防ぐことができる。

#### 【0073】

このように、本発明の実施の形態3によるトラッキング誤差検出装置によれば、パルス幅検出回路21でサンプリングデータのパルス幅を検出し、位相差検出回路31の無効パルスキャンセル部4によって、該パルス幅検出回路21で検出されたパルス幅が、所定の値以下のパルスである場合には、かかるパルスを無効パルスとして扱い、位相差演算部1において、かかるパルスでの位相比較を行なわないようにするとともに、データ切替部5から、キャンセルされたパルスのタイミングで、一つ前の位相差演算部1における位相差比較結果をサンプリングクロック1クロック分のパルスで出力することにより、第1及び第2のADC104a、104bに入力されるアナログ信号の振幅が、ディフェクト等により十分に得られなかった場合であっても、正確なトラッキング誤差信号を得ることが可能となる。

#### 【0074】

なお、本発明の実施の形態3によるトラッキング誤差検出装置では、無効パルスキャンセル部4により無効パルスがキャンセルされた場合には、データ切替部5が、無効パルスキャンセル部4によりキャンセルされた無効パルスのタイミングで、一つ前の位相差演算部1における位相差比較結果をサンプリングクロック1クロック分のパルスで出力するものについて説明したが、前記無効パルスのタイミングで、当該無効パルスの前或いは／及び後の位相差演算部1における複数

の位相差比較結果の平均値をサンプリングクロック 1 クロック分のパルスで出力するようにしてもよい。

#### 【0075】

また、本発明の実施の形態 2、及び 3 によるトラッキング誤差検出装置では、無効パルスキャンセル部 4 が、パルス幅検出回路 21 により検出される H 側のパルス幅が、所定の値以下であるか否かを判断するものについて説明したが、無効パルスキャンセル部 4 が、パルス幅検出回路 21 により検出される L 側のパルス幅が所定の値以下であるか否かを判断するものや、パルス幅検出回路 21 により検出される H 側及び L 側のパルス幅が所定の値以下であるか否かを判断するものであってもよい。

#### 【0076】

(実施の形態 4)

以下に、本発明の実施の形態 4 によるトラッキング誤差検出装置について説明する。

図 9 は本発明の実施の形態 4 によるトラッキング誤差検出装置の構成の一例を示すブロック図である。

#### 【0077】

図 9 において、本発明にかかるトラッキング誤差検出装置は、フォトディテクタ 101 と、電流電圧変換器 102a ~ 102d と、第 1 及び第 2 の加算器 103a、103b と、第 1 及び第 2 のアナログ-デジタル変換器 (ADC) 104a、104b と、第 1 及び第 2 の補間フィルタ 105a、105b と、第 1 及び第 2 のゼロクロス点検出回路 106a、106b と、パルス幅検出回路 21 と、位相差検出回路 31 と、振幅検出回路 41 と、ローパスフィルタ (LPF) 108 とからなる。なお、本発明の実施の形態 4 によるトラッキング誤差検出装置の振幅検出回路 41 以外の構成要素は、図 7 を用いて説明した本発明の実施の形態 3 によるトラッキング誤差検出装置と同じであるため、ここでは、同一の符号を付してその説明を省略する。

#### 【0078】

振幅検出回路 41 は、第 1 及び第 2 の ADC 104a、104b から出力され

る各デジタル信号からエンベ信号を検出し、該エンベ信号の値が所定の閾値以下であるか否かに基づいて、位相差検出回路 31 の無効パルスキャンセル部 4 を動作させるか否かを知らせるゲート信号を生成して出力するものであり、振幅検出回路 41 は、エンベ信号の値が所定の閾値以下の場合には位相差検出回路 31 の無効パルスキャンセル部 4 を動作させる旨の信号を、エンベ信号の値が所定の閾値より大きい場合には無効パルスキャンセル部 4 を動作させないようにする旨の信号を出力するものとする。なお、振幅検出回路 41 が有する所定の閾値は、任意に設定できるものであり、前記所定の値を予め設定しておく。

#### 【0079】

次に、本発明による振幅検出回路 41 の動作について説明する。

図 10 は、本発明の実施の形態 4 によるトラッキング誤差検出装置の振幅検出回路 41 の動作を説明するための説明図であり、図 10 (a) は振幅検出回路 41 により検出されるエンベ信号を、図 10 (b) は振幅検出回路 41 から出力されるゲート信号を示す図である。

#### 【0080】

第 1 及び第 2 の ADC 104 a、104 b から出力される各デジタル信号は、振幅検出回路 41 に入力され、図 10 (a) に示すようなエンベ信号が検出される。そして、かかるエンベ信号は、図 10 (b) に示すように、所定の閾値と比較され、エンベ信号が所定の閾値以下の場合には入力信号が小信号振幅であると判断し、位相差検出回路 31 の無効パルスキャンセル部 4 を動作させる旨の H のゲート信号が出力される。一方で、エンベ信号の値が所定の閾値より大きい場合には入力信号が大信号振幅であると判断し、無効パルスキャンセル部 4 を動作させないようにする旨の L のゲート信号が出力される。

#### 【0081】

その後、振幅検出回路 41 から出力されたゲート信号は、位相差検出回路 31 の無効パルスキャンセル部 4 に入力され、ゲート信号が H の間にのみ無効パルスキャンセル部 4 が駆動し、パルス幅検出回路 21 で検出されたパルス幅の短いパルスを無効パルスとしてキャンセルする。

#### 【0082】

一方で、ゲート信号がLの間には、無効パルスキャンセル部4が駆動することではなく、無効パルスをキャンセルする必要が無いような信号振幅の状態が良い信号については、パルス幅検出回路21で検出されるパルス幅の短い場合であっても、当該パルスをキャンセルしない。

#### 【0083】

このように、本発明の実施の形態4によるトラッキング誤差検出装置によれば、第1及び第2のADC104a、104bから出力される2系列のデジタル信号のエンベ信号を検出して、該エンベ信号の値が所定の閾値以下の場合にのみ前記無効パルスキャンセル部4を動作させる振幅検出回路41を備えたことにより、無効パルスをキャンセルする必要が無いような信号振幅の状態が良い信号については無効パルスキャンセル部4を動作させずに2系列のデジタル信号の位相比較を行うことができ、位相差検出回路31から多くの位相比較結果の情報を得ることができるため、結果として、トラッキング誤差検出装置で生成されるトラッキング誤差信号の精度を上げることができる。

#### 【0084】

##### (実施の形態5)

以下に、本発明の実施の形態5によるトラッキング誤差検出装置について説明する。

図11は本発明の実施の形態5によるトラッキング誤差検出装置の構成の一例を示すブロック図である。

#### 【0085】

図11において、本発明にかかるトラッキング誤差検出装置は、フォトディテクタ101と、電流電圧変換器102a～102dと、第1及び第2の加算器103a、103bと、第1及び第2のアナログーデジタル変換器(ADC)104a、104bと、第1及び第2のハイパスフィルタ(HPF)51a、51bと、第1及び第2の補間フィルタ105a、105bと、第1及び第2のゼロクロス点検出回路106a、106bと、位相差検出回路107と、ローパスフィルタ(LPF)108とからなる。なお、本発明の実施の形態5によるトラッキング誤差検出装置のHPF51a、51b以外の構成要素は、図13を用いて前



述した従来のトラッキング誤差検出装置と同じであるため、ここでは、同一の符号を付してその説明を省略する。

#### 【0086】

HPF51a、及び51bは、ADC104a、及び104bから出力される2系列のデジタル信号を入力とし、所定のカットオフ周波数以下の周波数を除去するものであり、ADC104a、及び104bに入力された信号が有する傷等による電圧レベル変動の除去を行なう。なお、HPF51a、及び51bが除去する所定のカットオフ周波数は、任意に設定することができ、ここでは、100K～300KHzに設定するものとする。

#### 【0087】

次に、本発明によるHPF51a、51bの動作について説明する。

図12は、本発明の実施の形態5によるトラッキング誤差検出装置によるHPFの動作を説明するための説明図であり、図12(a)はHPFを用いない場合のゼロクロス点検出回路への入力信号を、図12(b)はHPFを用いた場合のゼロクロス点検出回路への入力信号を示す図である。

#### 【0088】

図12(a)に示すように、ADC104a、104bに入力されるアナログ信号の電圧レベルがディフェクト等により変動している場合には、ゼロクロス点検出回路106a、106bにより当該箇所におけるゼロクロス点の検出を行うことができない。そのため、当該アナログ信号の電圧レベルがディフェクト等により変動している箇所においては、位相差検出回路107により位相比較が行われず、結果として、正確なトラッキング誤差信号を得ることができないこととなる。

#### 【0089】

そこで、本発明の実施の形態5によるトラッキング誤差検出装置では、HPF51a、51bを設け、ADC104a、及び104bに入力されたアナログ信号が有するディフェクト等による電圧レベルの変動を除去する。

#### 【0090】

これにより、図12(b)に示すような、ゼロクロス点検出回路106a、1

106b への入力信号を得ることができ、ゼロクロス点検出回路106a、106bによるゼロクロス点の検出を正しく行うことができるため、結果として、トラッキング誤差検出装置により、正確なトラッキング誤差信号の検出を行なうことができる。

#### 【0091】

このように、本発明の実施の形態5によるトラッキング誤差検出装置によれば、ADC104a、及び104bに入力されたアナログ信号が有するディフェクト等による電圧レベル変動をHPF51a、51bによって除去することにより、ゼロクロス点検出回路106a、106bによるゼロクロス点の検出を正しく行うことができ、ディフェクト等により電圧レベルが変動した際にもトラッキング誤差信号を正しく検出することができる。

#### 【0092】

なお、本発明の実施の形態5によるトラッキング誤差検出装置では、図13で示した従来のトラッキング誤差検出装置にHPF51a、51bを設けるものについて説明したが、この他にも、例えば、本発明の実施の形態1から4で説明したトラッキング誤差検出装置にHPF51a、51bを設ける構成としてもよい。

#### 【0093】

また、本発明の実施の形態1から5によるトラッキング誤差検出装置では、2つの信号系列を生成する信号生成器である第1及び第2の加算器により2系列のアナログ信号を生成後、第1及び第2のADC104a、104bによって2系列のデジタル信号を生成するものについて説明したが、位相差検出回路107に入力される2系列のデジタル信号の生成方式はこれに限られず、例えば、フォトディテクタ101からの各受光素子に対するアナログ信号をADC104によってデジタル信号に変換した後に、2系列の信号を生成するようにしてもよい。

#### 【0094】

#### 【発明の効果】

以上説明したように、本発明によるトラッキング誤差検出装置は、フォトディテクタから出力される各受光素子の受光量に応じて生成された2系列のデジタル

信号に基づいて、当該デジタル信号と該デジタル信号のセンターレベルとが交わる点であるゼロクロス点を検出するゼロクロス検出回路と、前記2系列のデジタル信号のゼロクロス点間の距離を用いて位相比較を行い、位相比較結果を出力する位相差検出回路と、前記位相差検出回路から出力される信号に帯域制限を行ってトラッキング誤差信号を得るローパスフィルタとを備えるトラッキング誤差検出装置であって、前記位相差検出回路が、前記2系列のデジタル信号のゼロクロス点間の距離を用いて検出した位相比較結果をサンプリングクロック1クロック分のパルスで出力することにより、ディスクの外周側と内周側とでチャンネルレートが異なるCAV再生を行なった場合であっても、ディスクの内側と外側で得られるトラッキング誤差信号の振幅が変動することなく、CAV再生時におけるトラッキング誤差信号の線速依存を解消することが可能となる。

#### 【0095】

また、本発明によるトラッキング誤差検出装置は、フォトディテクタから出力される各受光素子の受光量に応じて生成された2系列のデジタル信号に基づいて、当該デジタル信号と該デジタル信号のセンターレベルとが交わる点であるゼロクロス点を検出するゼロクロス検出回路と、前記2系列のデジタル信号のゼロクロス点間の距離を用いて位相比較を行い、位相比較結果を出力する位相差検出回路と、前記位相差検出回路から出力される信号に帯域制限を行ってトラッキング誤差信号を得るローパスフィルタとを備えるトラッキング誤差検出装置であって、前記2系列のデジタル信号のサンプリングデータのパルス幅を検出するパルス幅検出回路をさらに備え、前記位相差検出回路が、前記パルス幅検出回路により検出されるパルス幅が、所定の値以下である場合には、当該パルスでの位相比較を行わないことにより、フォトディテクタによって検出される信号の振幅が、ディフェクト等により十分に得られなかった場合であっても、正確なトラッキング誤差信号を得ることが可能となる。

#### 【0096】

また、本発明によるトラッキング誤差検出装置は、フォトディテクタから出力される各受光素子の受光量に応じて生成された2系列のデジタル信号に基づいて、当該デジタル信号と該デジタル信号のセンターレベルとが交わる点であるゼロ

クロス点を検出するゼロクロス検出回路と、前記 2 系列のデジタル信号のゼロクロス点間の距離を用いて位相比較を行い、位相比較結果を出力する位相差検出回路と、前記位相差検出回路から出力される信号に帯域制限を行ってトラッキング誤差信号を得るローパスフィルタとを備えるトラッキング誤差検出装置であって、前記 2 系列のデジタル信号の所定のカットオフ周波数以下の周波数を除去する H P F をさらに備えることにより、前記ゼロクロス点検出回路によるゼロクロス点の検出を正しく行うことができ、ディフェクト等により電圧レベルが変動した際にもトラッキング誤差信号を正しく検出することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 によるトラッキング誤差検出装置の構成の一例を示すブロック図である。

【図 2】

本発明の実施の形態 1 による位相差検出回路の動作を説明するための説明図である。

【図 3】

C A V 再生時に本願発明の実施の形態 1 によるトラッキング誤差検出装置により検出されるトラッキング誤差信号を示す図である。

【図 4】

本発明の実施の形態 2 によるトラッキング誤差検出装置の構成の一例を示すブロック図である。

【図 5】

本発明の実施の形態 2 によるトラッキング誤差検出装置の無効パルスキャンセル部 4 の動作を説明するための説明図である。

【図 6】

本発明の実施の形態 2 によるトラッキング誤差検出装置により検出されるトラッキング誤差信号を説明するための説明図である。

【図 7】

本発明の実施の形態 3 によるトラッキング誤差検出装置の構成の一例を示すブ

ロック図である。

【図 8】

本発明の実施の形態 3 によるトラッキング誤差検出装置により検出されるトラッキング誤差信号を説明するための説明図である。

【図 9】

本発明の実施の形態 4 によるトラッキング誤差検出装置の構成の一例を示すブロック図である。

【図 10】

本発明の実施の形態 4 によるトラッキング誤差検出装置の振幅検出回路の動作を説明するための説明図である。

【図 11】

本発明の実施の形態 5 によるトラッキング誤差検出装置の構成の一例を示すブロック図である。

【図 12】

本発明の実施の形態 5 によるトラッキング誤差検出装置による H P F の動作を説明するための説明図である。

【図 13】

従来のトラッキング誤差検出装置の構成の一例を示すブロック図である。

【図 14】

従来の位相差検出回路の構成を示すブロック図である。

【図 15】

従来の位相差検出回路の動作を説明するための説明図である。

【図 16】

トラッキング誤差検出装置により検出されるトラッキング誤差信号の一例を示す図である。

【図 17】

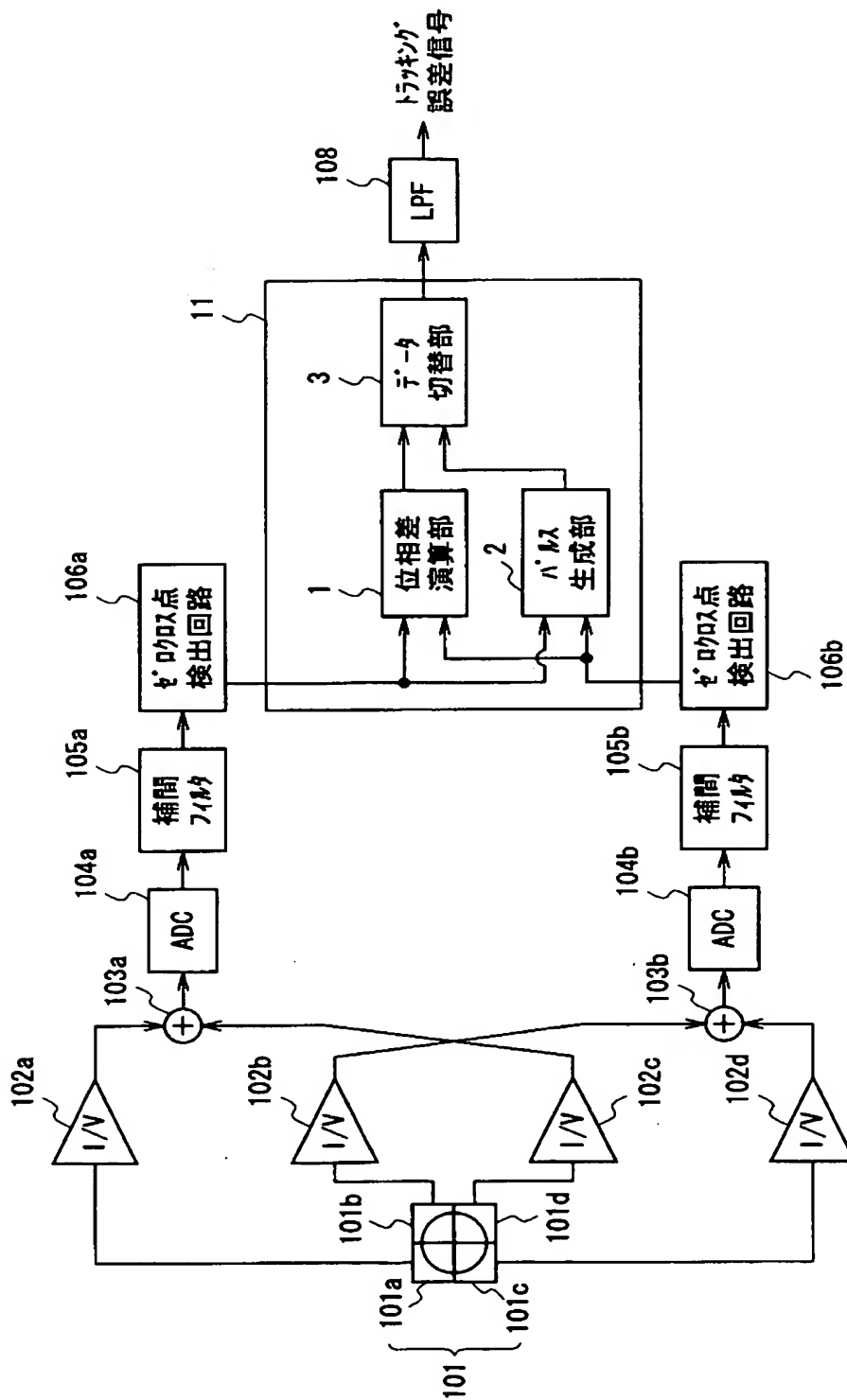
C A V 再生時に従来のトラッキング誤差検出装置により検出されるトラッキング誤差信号を示す図である。

【符号の説明】

- 1、201 位相差演算部
- 2、202 パルス生成部
- 3、5、203 データ切替部
- 4 無効パルスキャンセル部
- 11、22、31、107 位相差検出回路
- 21 パルス幅検出回路
- 41 振幅検出回路
- 51a、51b ハイパスフィルタ (HPF)
- 101a、101b、101c、101d フォトディテクタ
- 102a、102b、102c、102d 電流電圧変換回路
- 103a、103b 加算器
- 104a、104b アナログーデジタル変換器 (ADC)
- 105a、105b 補間フィルタ
- 106a、106b ゼロクロス点検出回路
- 108 ローパスフィルタ (LPF)

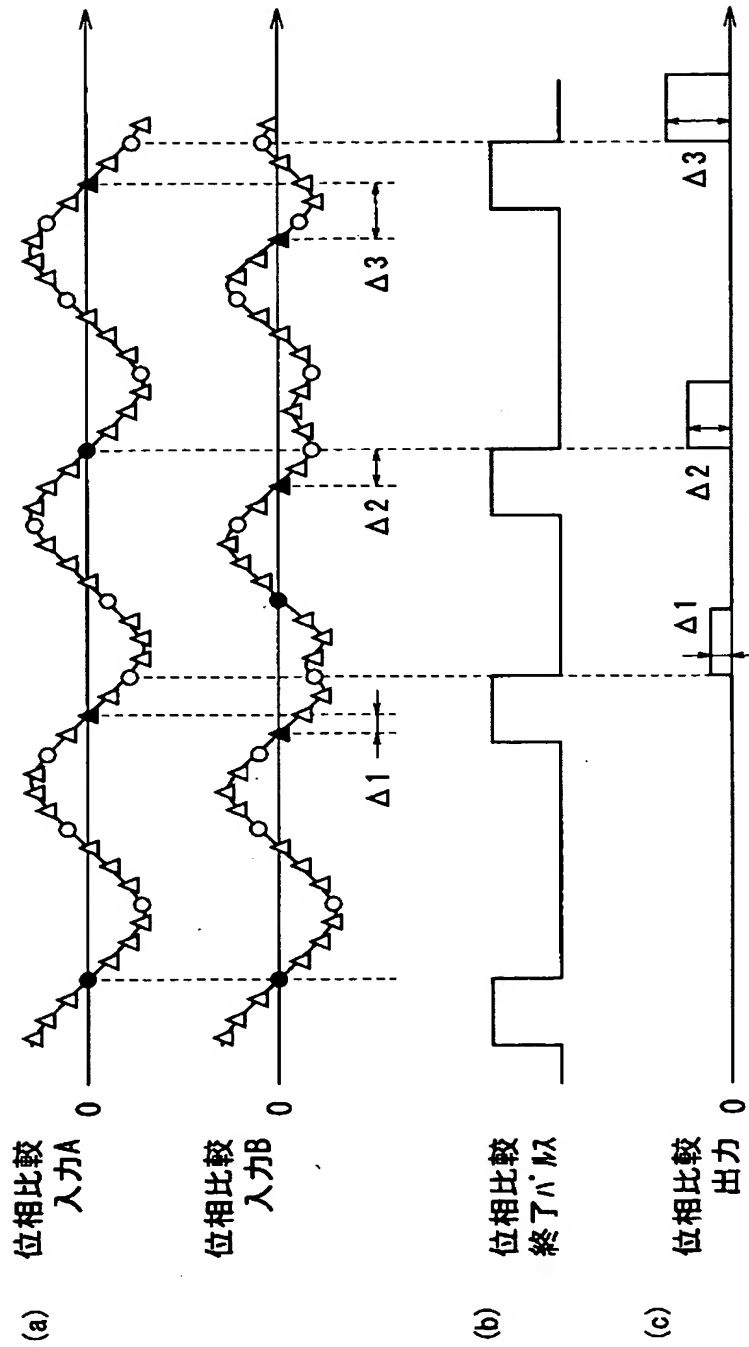
【書類名】 図面

【図 1】



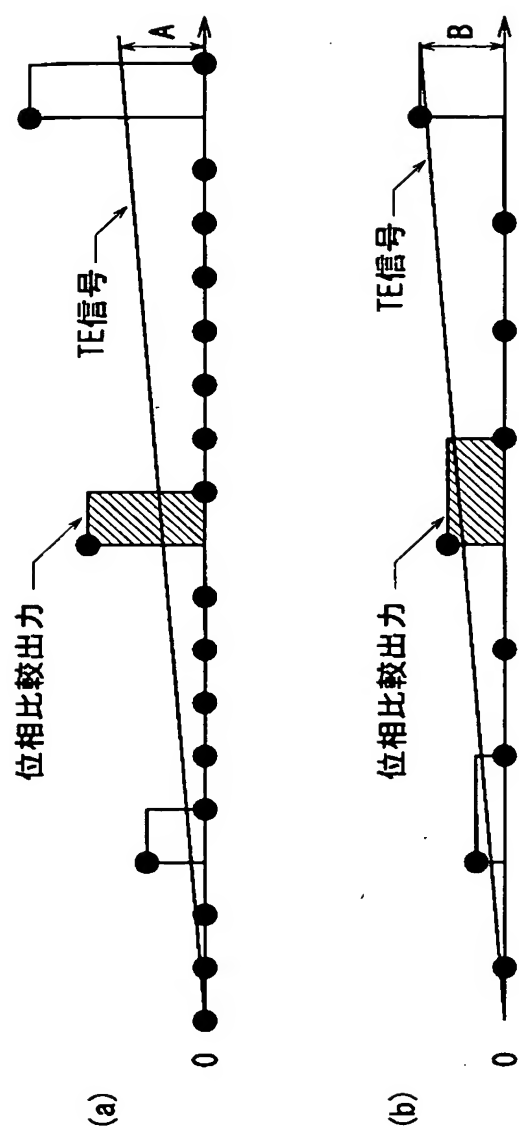
【図 2】

○ : ADCサンプリングデータ  
 △ : 補間データ  
 ● : ゼロクロス・ポイント



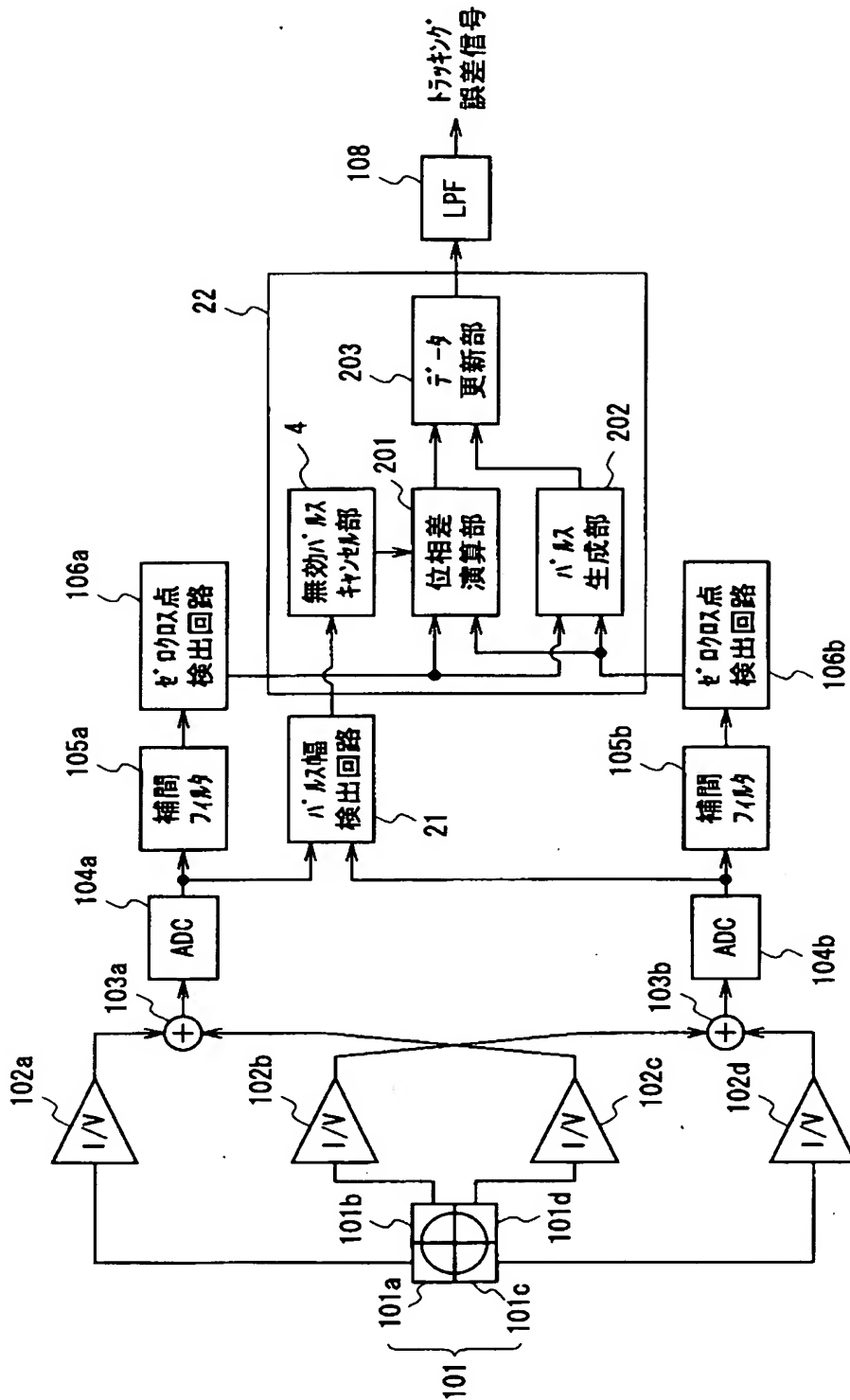


【図 3】

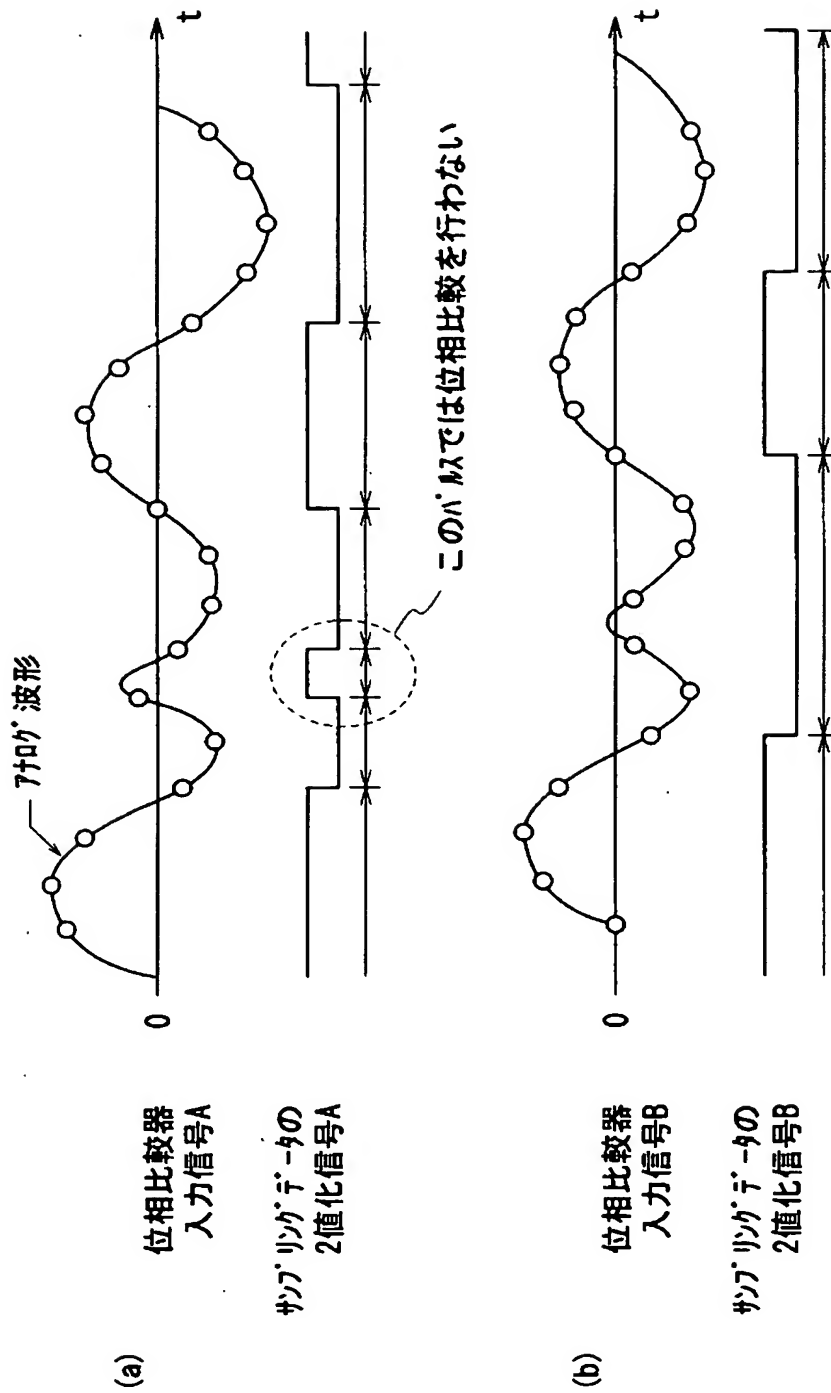


●: サンプルングポイント

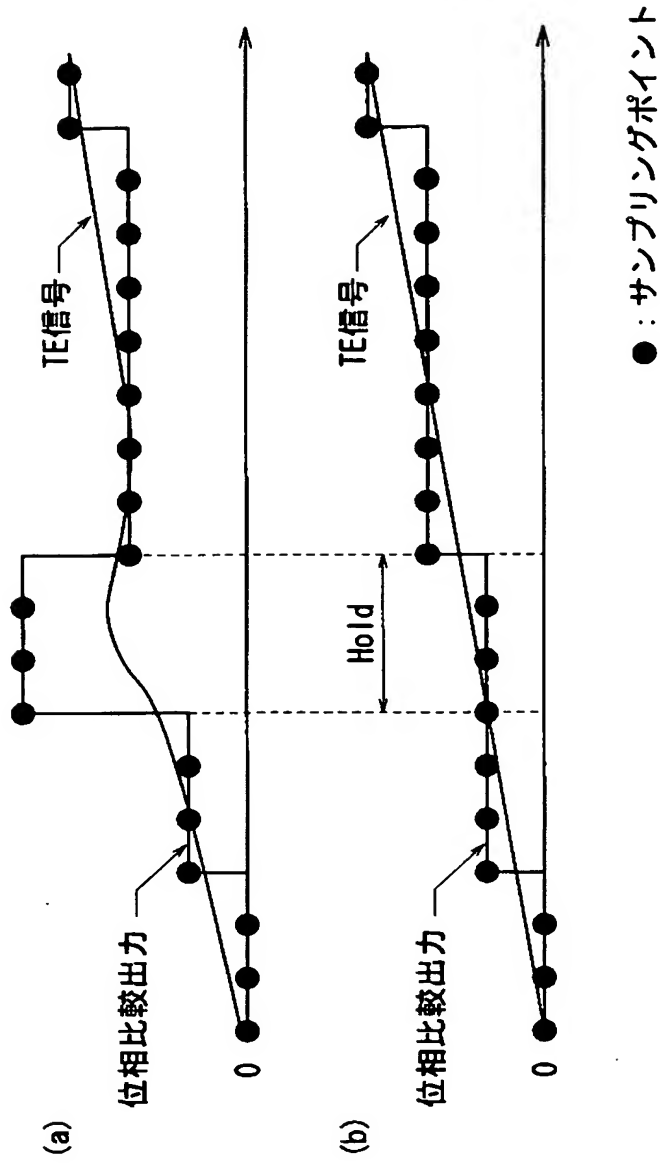
【図 4】



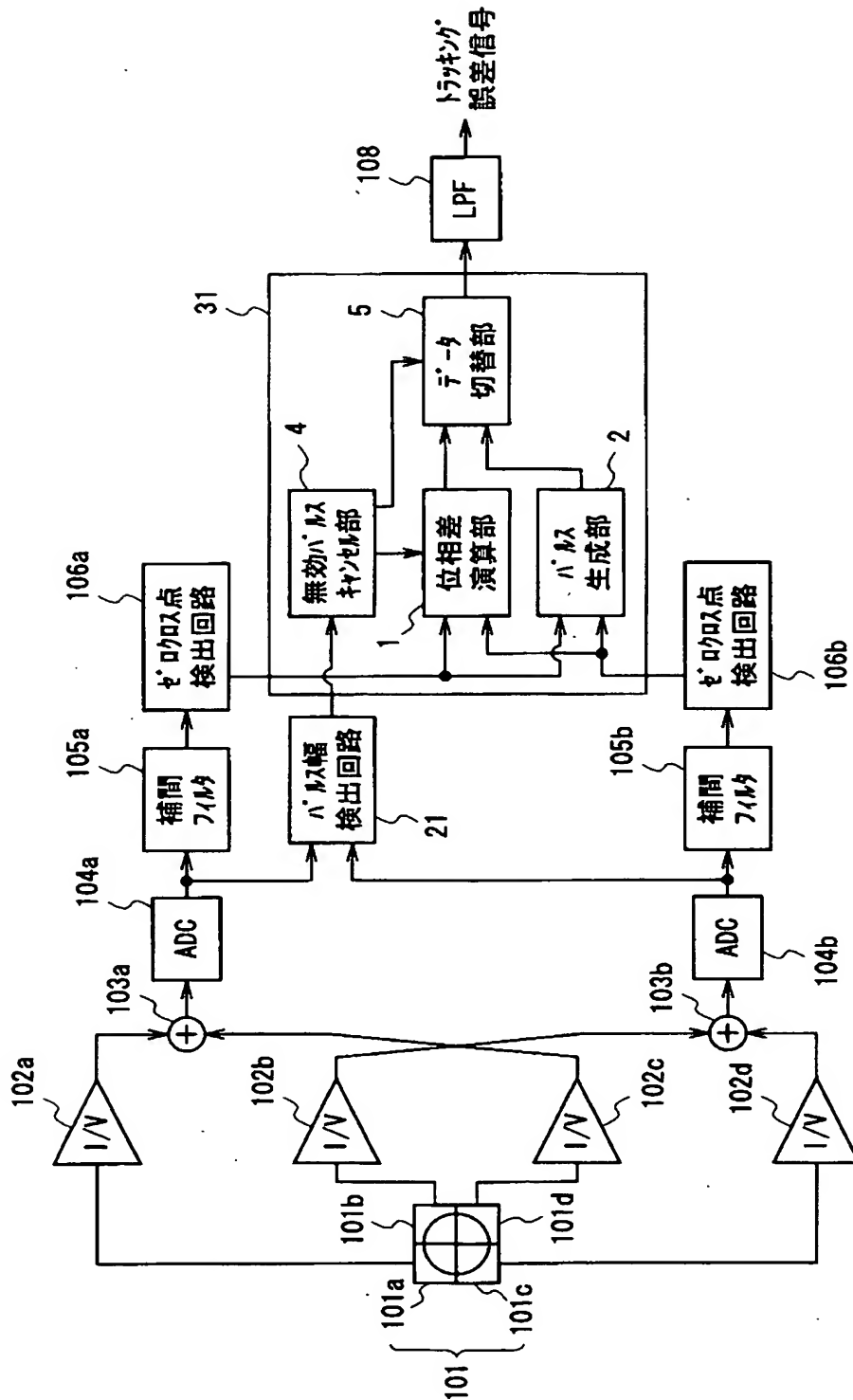
【図 5】



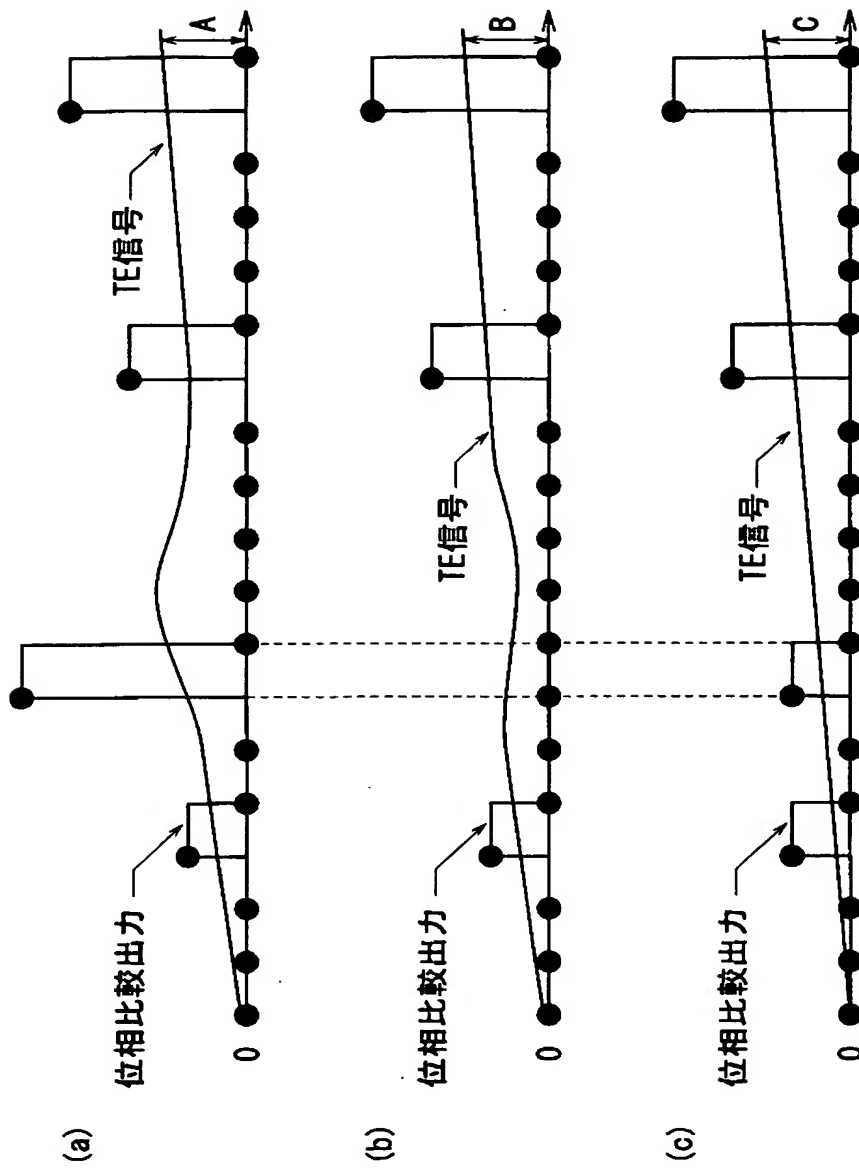
【図 6】



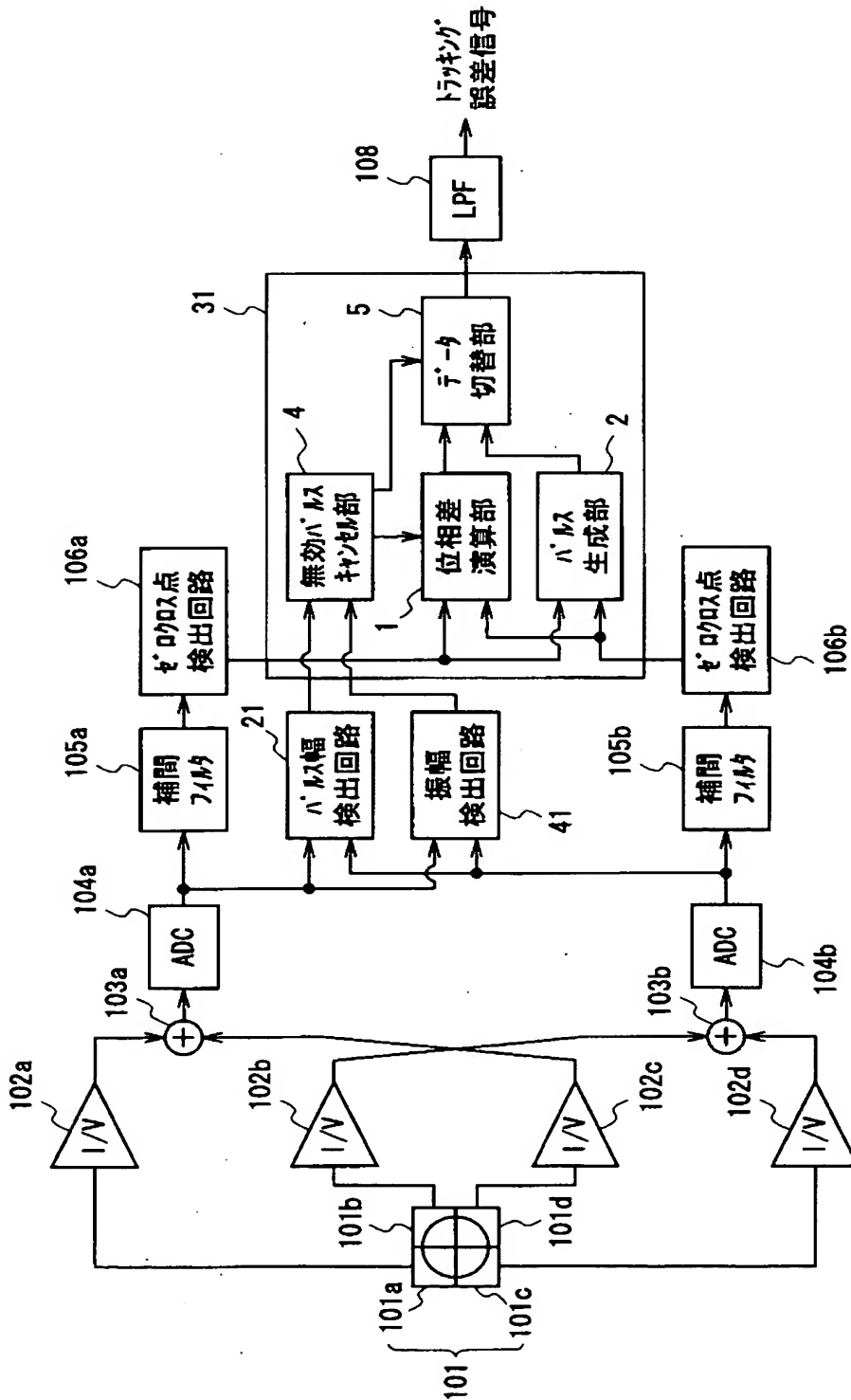
【図 7】



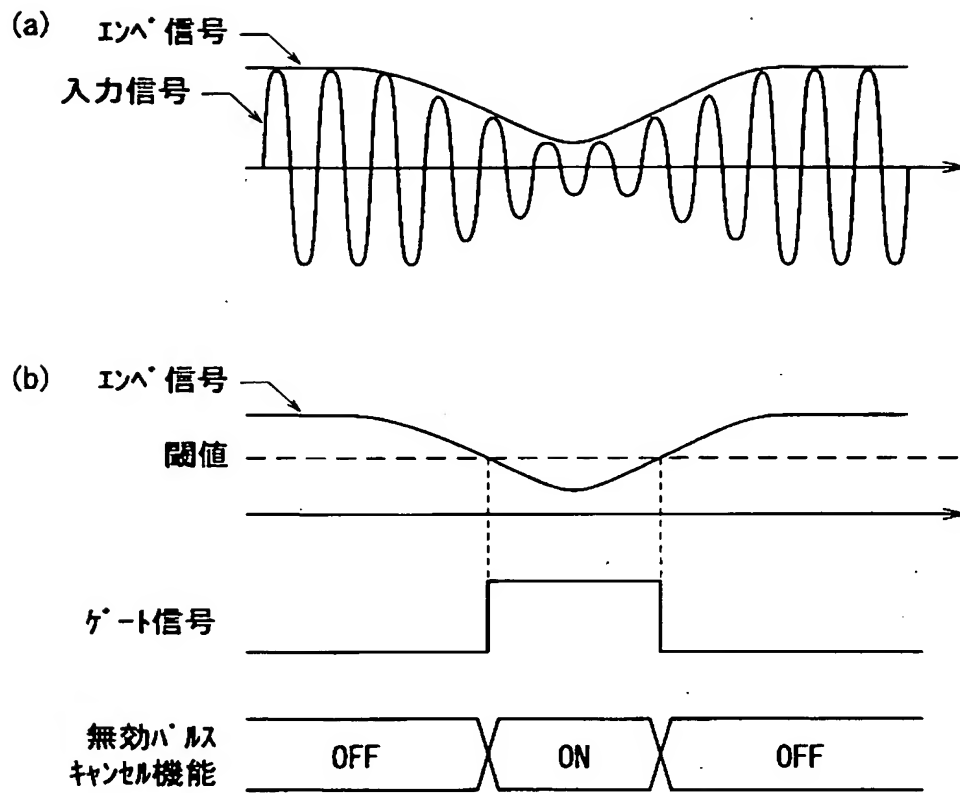
【図 8】



【図 9】

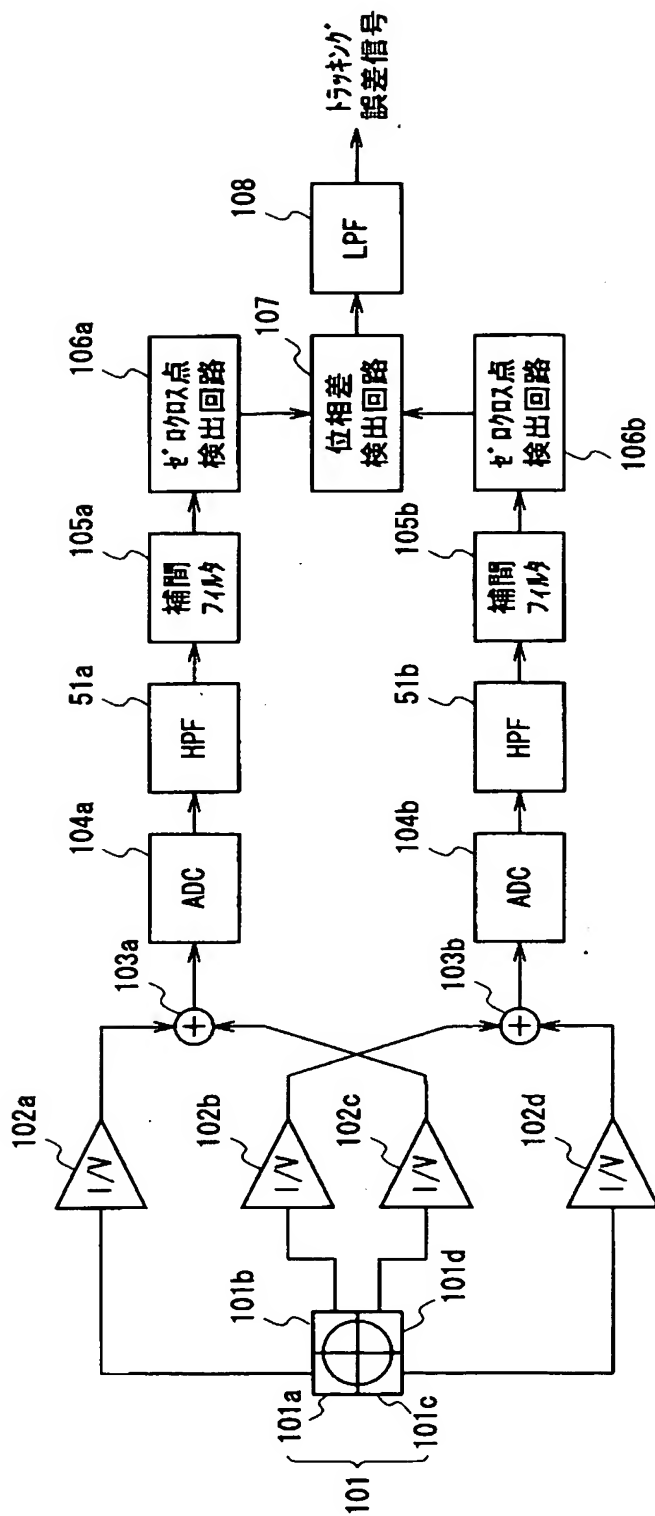


【図 10】

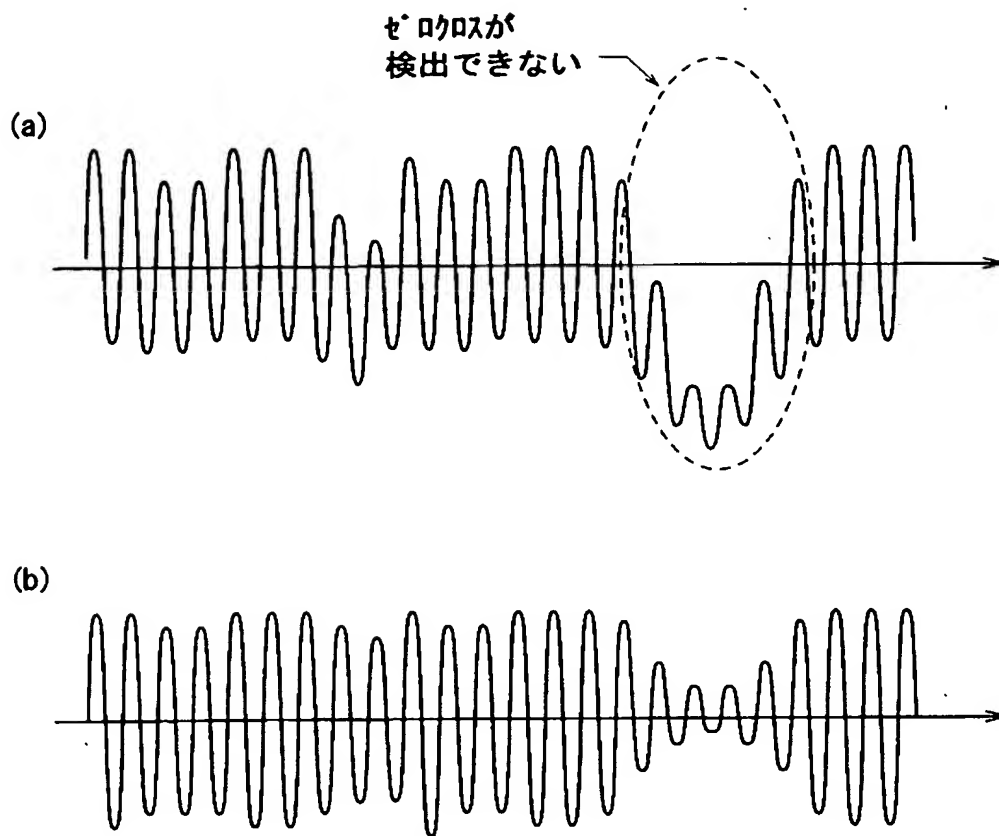




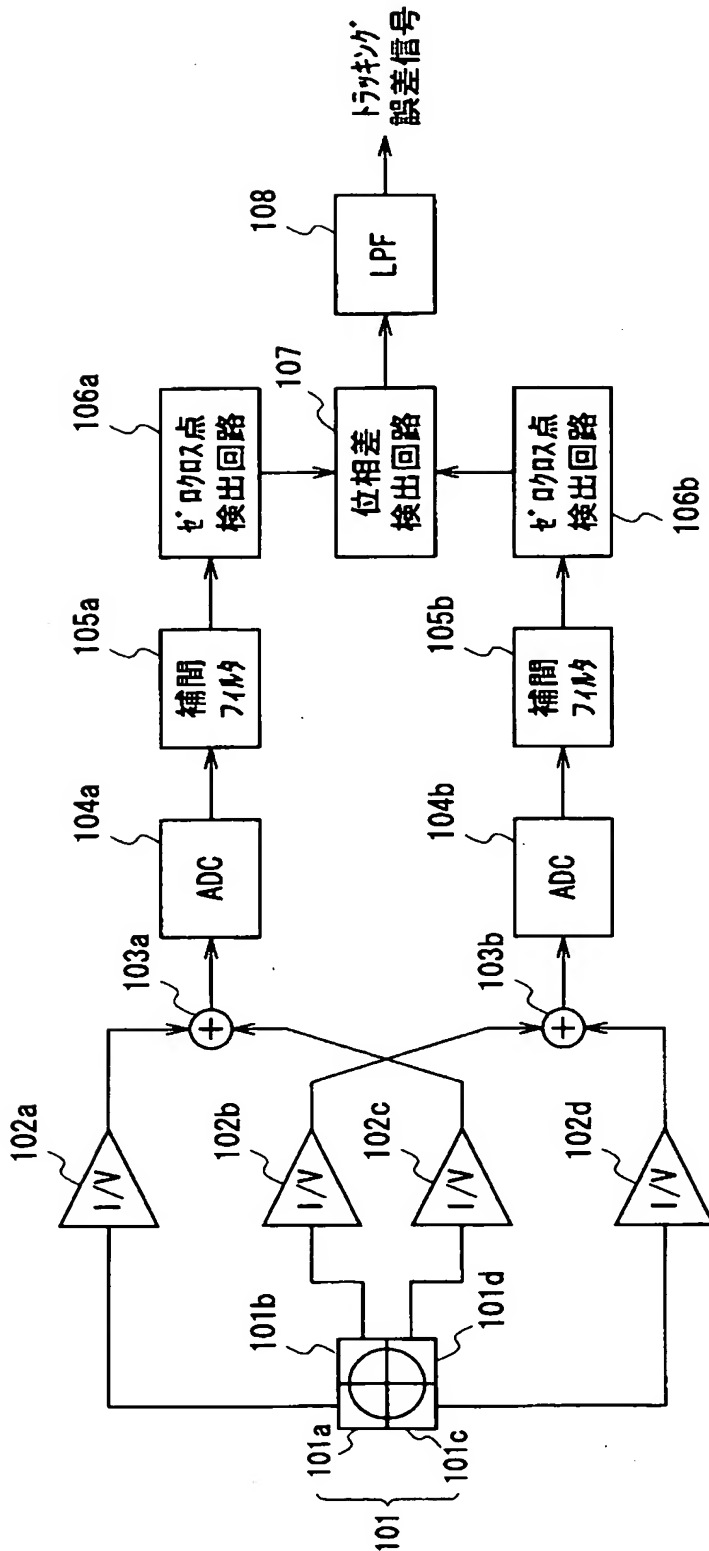
【図 11】



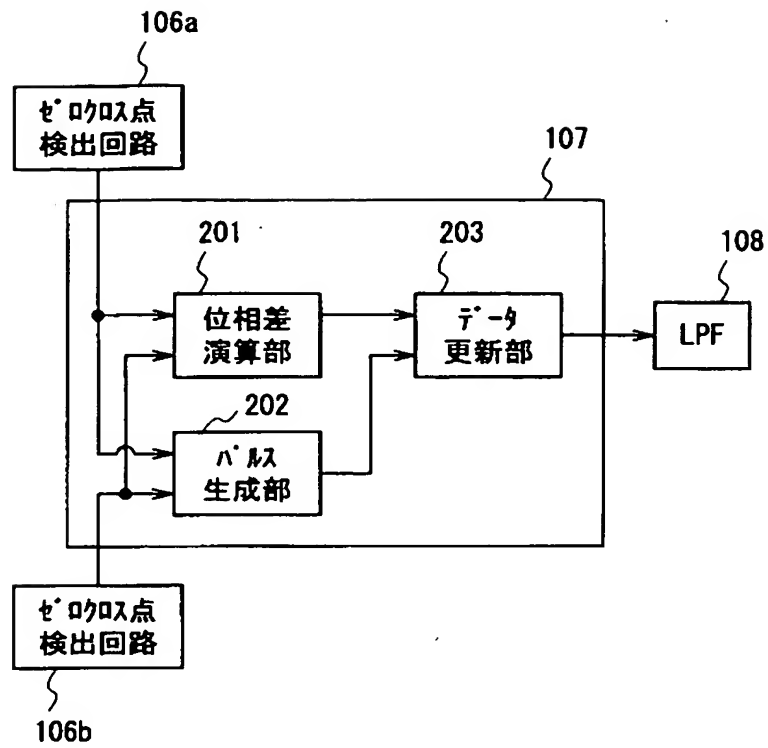
【図 12】



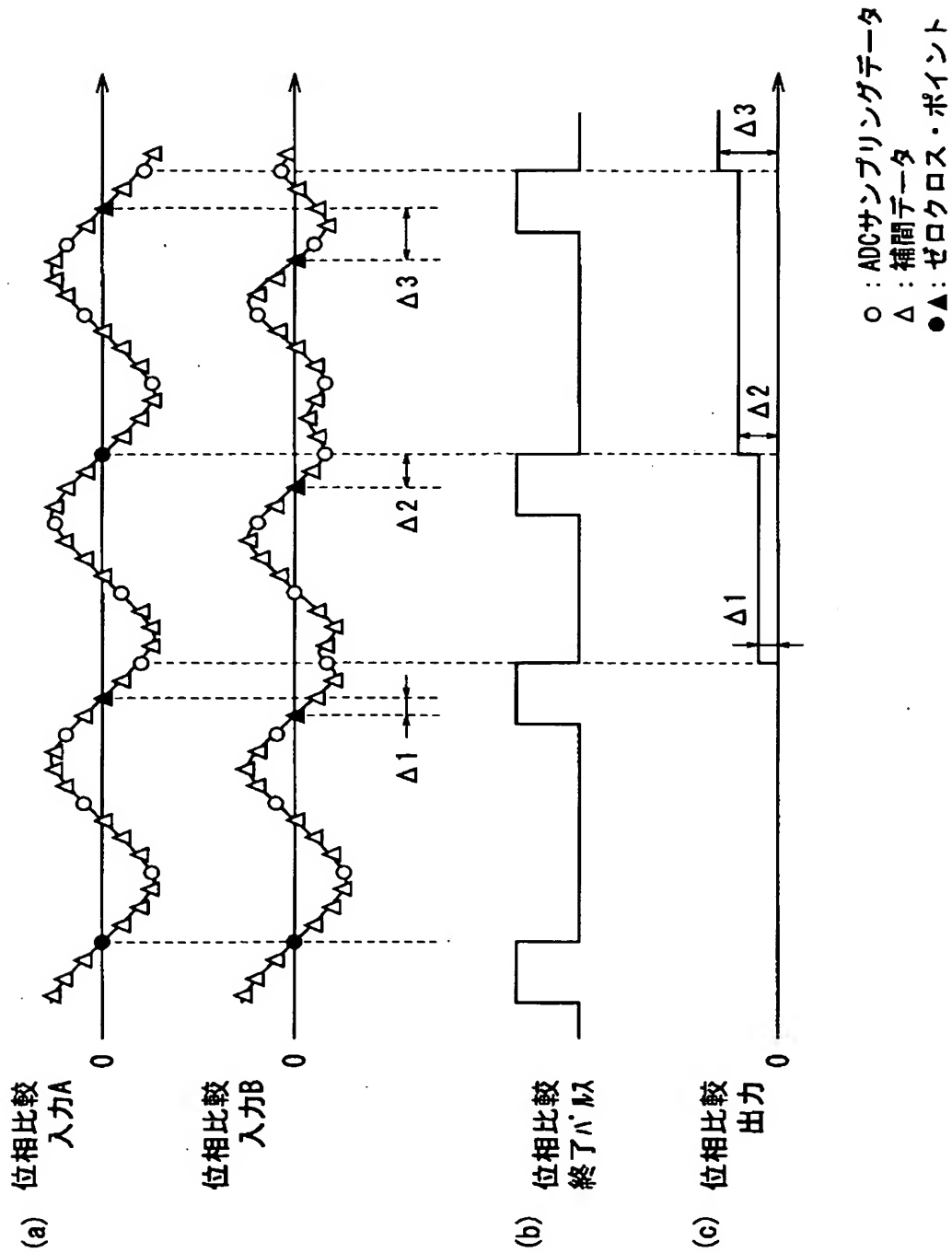
【図 13】



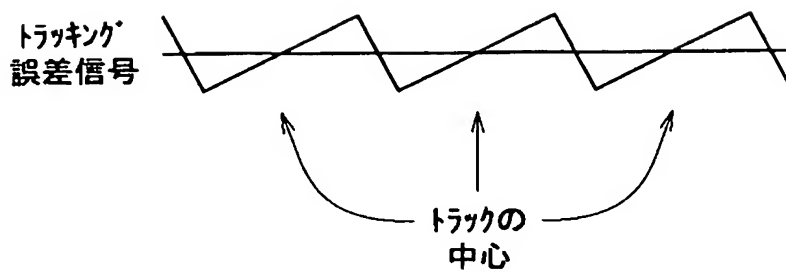
【図 14】



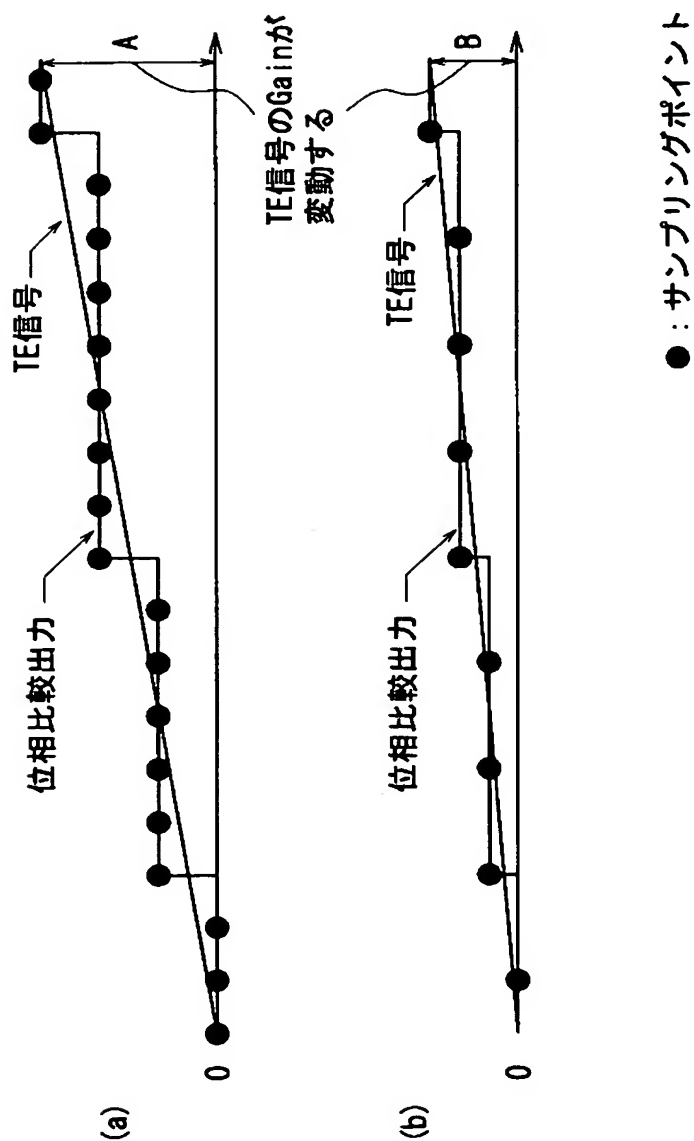
【図15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 ディスクをCAVで再生する場合や、再生するディスクに傷等が存在する場合であっても、正確なトラッキング誤差信号の検出を行うことができるトラッキング誤差検出装置を提供する。

【解決手段】 本発明にかかるトラッキング誤差検出装置は、2系列のデジタル信号を入力とし、該2系列のデジタル信号のゼロクロス点間の距離を用いて位相比較を行ない、当該位相比較結果を出力する位相差検出回路31と、該位相比較結果からトラッキング誤差信号を生成するLPF108とを備え、前記位相差検出回路31が、位相比較を行なう対象として適切でない位置では位相比較を行わず、且つ前記位相比較結果をサンプリングクロック1クロック分のパルスで出力するようにしたものである。

【選択図】 図7

特願 2003-086369

出願人履歴情報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

大阪府門真市大字門真1006番地

氏 名

松下電器産業株式会社